



(19)

(11) Publication number:

07262768 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06050271

(51) Intl. Cl.: G11C 11/401 G11C 14/00

(22) Application date: 22.03.94

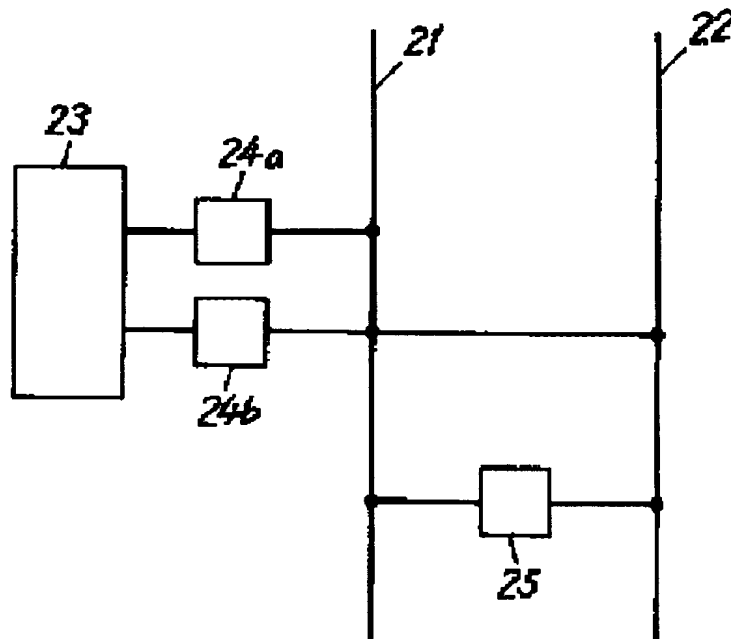
(30) Priority:	(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD
(43) Date of application publication: 13.10.95	(72) Inventor: KURAKI TOSHIO HIRANO HIROSHIGE NAKANE JOJI NAKAKUMA TETSUJI SUMI TATSUMI MORIWAKI NOBUYUKI
(84) Designated contracting states:	(74) Representative:

(54) REFERENCE POTENTIAL
GENERATOR AND
SEMICONDUCTOR MEMORY
DEVICE

(57) Abstract:

PURPOSE: To generate an exact reference potential and to exactly discriminate read-out data to be '0' or '1' by providing an electric charge supplying circuit, a first and a second switching circuits.

CONSTITUTION: A charge supplying circuit 23 supplies electric charge to two signal lines 21, 22, the first switching circuits 24a, 24b connect the charge supplying circuit 23 to two signal lines 21, 22 and supply the charge to each of them by means of a first control signal. A second switching circuit 25 connects two signal lines 21, 22 to each other by means of a second control signal, the potential determined by the supplied amount of the charge and the load capacities of the respective signal lines 21, 22 is averaged and, thereafter, two signal lines are separated. Consequently, an exact reference potential is generated. A semiconductor memory device incorporates the reference potential generator having the constitution above, the potential difference between the reference potential and the potential of a signal read out to a bit line is amplified in an amplifier and outputted.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-262768

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁶

G 1 1 C 11/401
14/00

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/ 34

3 5 2 E

3 5 2 A

審査請求 未請求 請求項の数24 O L (全 30 頁)

(21) 出願番号 特願平6-50271

(22) 出願日 平成6年(1994)3月22日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 棕木 敏夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 平野 博茂

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 中根 誠治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

最終頁に続く

(54) 【発明の名称】 基準電位発生装置および半導体メモリ装置

(57) 【要約】

【目的】 正確な基準電位を発生させ、半導体メモリ装置において、読み出したデータの“0”または“1”の判定を正確なものとする。

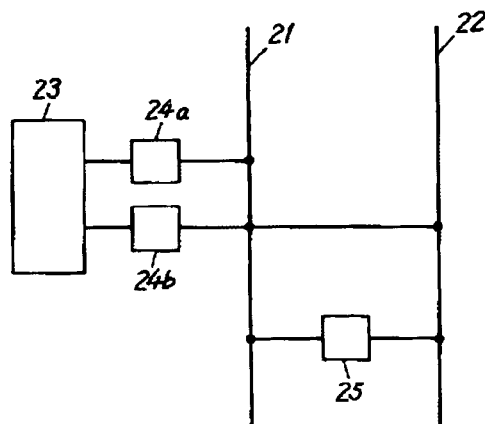
【構成】 2本の信号線21、22と、これらに電位を付与するための電荷を供給する電荷供給回路23と、第1の制御信号によって電荷供給回路23と2本の信号線21、22との間を接続し、それぞれに電荷を供給する第1の接続手段24a、24bと、第2の制御信号によって2本の信号線間21、22を接続し、供給された電荷量と各信号線21、22の負荷容量とで決まる電位を平均化した後、2本の信号線21、22間を切り離す第2の接続手段25とを備えた。半導体メモリ装置はこの構成を内蔵し、それによる基準電位とビット線に読み出した信号電位との電位差を増幅器で増幅し、出力する。

21, 22 信号線

23 電荷供給回路

24a, 24b 第1のスイッチ回路
(第1の接続手段)

25 第2のスイッチ回路
(第2の接続手段)



【特許請求の範囲】

【請求項1】 2本の信号線と、前記2本の信号線に供給する電荷を発生させる電荷供給手段と、第1の制御信号によって前記電荷供給手段と前記2本の信号線との間を接続し、前記2本の信号線にそれぞれ電荷を供給する第1の接続手段と、第2の制御信号によって前記2本の信号線間を接続し、前記電荷と前記信号線の容量とで決まる2本の信号線間の電位を平均化した後、前記2本の信号線間を切り離す第2の接続手段とを有する基準電位発生装置。

【請求項2】 メモリセルと、前記メモリセルからデータを読み出すための第1のビット線および第2のビット線と、基準電位を発生させるための第3のビット線および第4のビット線、前記第3のビット線および第4のビット線に電荷を供給する電荷供給手段、第1の制御信号によって前記電荷供給手段と前記第3のビット線および前記第4のビット線との間を接続する第1の接続手段、第2の制御信号によって前記第3のビット線と前記第4のビット線との間を接続し、前記第3のビット線に供給された電荷と前記第3のビット線の容量とで決まる第1の電位と前記第4のビット線に供給された電荷と前記第4のビット線の容量とで決まる第2の電位とを平均化した後、前記第3のビット線と前記第4のビット線との間を切り離す第2の接続手段を備えた基準電位発生手段と、前記第1のビット線と前記第2のビット線を入出力とする増幅器とを有する半導体メモリ装置。

【請求項3】 メモリセルと、前記メモリセルからデータを読み出すための第1のビット線と、基準電位を発生させるための第2のビット線および第3のビット線、前記第2のビット線および前記第3のビット線に電荷を供給する電荷供給手段、第1の制御信号によって前記電荷供給手段と前記第2のビット線および前記第3のビット線との間を接続する第1の接続手段、第2の制御信号によって前記第2のビット線と前記第3のビット線との間を接続し、前記第2のビット線に供給された電荷と前記第2のビット線の容量とで決まる第1の電位と前記第3のビット線に供給された電荷と前記第3のビット線の容量とで決まる第2の電位とを平均化した後、前記第2のビット線と前記第3のビット線との間を切り離す第2の接続手段を備えた基準電位発生手段と、前記第1のビット線と前記第2のビット線を入力とする増幅器とを有する半導体メモリ装置。

【請求項4】 メモリセルからデータを読み出すための第1のビット線を複数本備え、前記第1のビット線がそれぞれ異なる信号によって制御されるスイッチ素子を介して増幅器に接続されている請求項3記載の半導体メモリ装置。

【請求項5】 第1のビット線と第3のビット線とがスイッチ素子を介して接続されている請求項3または4記載の半導体メモリ装置。

【請求項6】 第1のメモリセルと、前記第1のメモリセルからデータを読み出すための第1のビット線と、基準電位を発生させるための第2のビット線および第3のビット線と、第2のメモリセルと、前記第2のメモリセルからデータを読み出すための第4のビット線と、前記第2のビット線および前記第3のビット線に電荷を供給する第1の電荷供給手段、第1の制御信号によって前記第1の電荷供給手段と前記第2のビット線および前記第3のビット線との間を接続する第1の接続手段、第2の制御信号によって前記第2のビット線と前記第3のビット線との間を接続し、前記第2のビット線に供給された電荷と前記第2のビット線の容量とで決まる第1の電位と前記第3のビット線に供給された電荷と前記第3のビット線の容量とで決まる第2の電位とを平均化した後、前記第2のビット線と前記第3のビット線との間を切り離す第2の接続手段を備えた第1の基準電位発生手段と、前記第1のビット線と前記第2のビット線を入出力とする第1の増幅器と、前記第3のビット線と前記第4のビット線を入出力とする第2の増幅器とを有する半導体メモリ装置。

【請求項7】 第3のビット線にデータを読み出す第3のメモリセルと、第4のビット線との間に基準電位を発生させる第5のビット線と、第4のメモリセルと、前記第4のメモリセルからデータを読み出すための第6のビット線と、前記第4のビット線および前記第5のビット線に電荷を供給する第2の電荷供給手段、第3の制御信号によって前記第2の電荷供給手段と前記第4のビット線および前記第5のビット線との間を接続する第3の接続手段、第4の制御信号によって前記第4のビット線と前記第5のビット線との間を接続する第4の接続手段を備えた第2の基準電位発生手段と、前記第5のビット線と前記第6のビット線を入出力とする第3の増幅器とを有し、かつ第2のビット線と第4のビット線、第3のビット線と第5のビット線がスイッチ素子を介して接続されている請求項6記載の半導体メモリ装置。

【請求項8】 第1のビット線および第4のビット線、前記第1のビット線および前記第4のビット線に電荷を供給する第2の電荷供給手段、第3の制御信号によって前記第2の電荷供給手段と前記第1のビット線および前記第4のビット線との間を接続する第3の接続手段、第4の制御信号によって前記第1のビット線と前記第4のビット線との間を接続する第4の接続手段を備えた第2の基準電位発生手段を有し、かつ第1のビット線と第3のビット線、第2のビット線と第4のビット線とがそれぞれ異なる信号によって制御されるスイッチ素子を介して接続されている請求項6記載の半導体メモリ装置。

【請求項9】 第1のビット線および第4のビット線、前記第1のビット線および前記第4のビット線に電荷を供給する第2の電荷供給手段、第3の制御信号によって前記第2の電荷供給手段と前記第1のビット線および前

記第4のビット線との間を接続する第3の接続手段、第4の制御信号によって前記第1のビット線と前記第4のビット線との間を接続する第4の接続手段を備えた第2の基準電位発生手段を有し、かつ第1のビット線と第3のビット線間がスイッチ素子を介して接続されている請求項6記載の半導体メモリ装置。

【請求項10】 メモリセルと、前記メモリセルからデータを読み出すための第1のビット線および第2のビット線と、前記第1のビット線および前記第2のビット線に電荷を供給する電荷供給手段、第1の制御信号によって前記電荷供給手段と前記第1のビット線および前記第2のビット線との間を接続する第1の接続手段、第2の制御信号によって前記第1のビット線と前記第2のビット線との間を接続し、前記第1のビット線に供給された電荷と前記第1のビット線の容量とで決まる第1の電位と前記第2のビット線に供給された電荷と前記第2のビット線の容量とで決まる第2の電位とを平均化した後、前記第1のビット線と前記第2のビット線との間を切り離す第2の接続手段を備えた基準電位発生手段と、前記第1のビット線と前記第2のビット線を入出力とする増幅器とを有する半導体メモリ装置。

【請求項11】 電荷供給手段が複数のキャパシタを有している請求項2、3、6または10記載の半導体メモリ装置。

【請求項12】 メモリセルおよび電荷供給手段がほぼ同一設計のキャパシタを含む回路で構成されている請求項2、3、6または10記載の半導体メモリ装置。

【請求項13】 電荷供給手段を構成するキャパシタが、論理電圧“H”が書き込まれたキャパシタと論理電圧“L”が書き込まれたキャパシタを含む請求項11または12記載の半導体メモリ装置。

【請求項14】 キャパシタが強誘電体膜を容量絶縁膜とする強誘電体キャパシタである請求項11、12または13記載の半導体メモリ装置。

【請求項15】 メモリセルからデータを読み出すとき、第1のビット線と第2のビット線の増幅器側からみた容量をほぼ等しくする容量均等化手段を有する請求項10記載の半導体メモリ装置。

【請求項16】 第1の接続手段において、第1のビット線と電荷供給手段の接続と第2のビット線と電荷供給手段の接続とを異なる信号で制御する請求項10記載の半導体メモリ装置。

【請求項17】 メモリセルをビット線から切り離して増幅器を動作させる請求項10記載の半導体メモリ装置。

【請求項18】 電荷供給手段を構成するキャパシタへ再書き込みする際の電荷供給がビット線を通して行なわれるものである請求項11記載の半導体メモリ装置。

【請求項19】 電荷供給手段を構成するキャパシタへ再書き込みする際の電荷供給が専用回路を通して行な

れるものである請求項11記載の半導体メモリ装置。

【請求項20】 電荷供給手段を構成するキャパシタが、再書き込み毎に論理電圧“H”と論理電圧“L”とを交互に書き込まれるものである請求項18または19記載の半導体メモリ装置。

【請求項21】 複数の電荷供給手段がそれぞれが異なる信号で制御される第1の接続手段を介して基準電位を発生させるビット線に接続されている請求項2、3、6または10記載の半導体メモリ装置。

【請求項22】 複数の電荷供給手段のうち、データの読み出しを行うメモリセル群によって動作させる電荷供給手段をあらかじめ決めている請求項21記載の半導体メモリ装置。

【請求項23】 複数の電荷供給手段のうち、メモリセルからのデータ読み出し毎に動作させる電荷供給手段を順次切り替える請求項21記載の半導体メモリ装置。

【請求項24】 基準電位を発生させているビット線の間の第2の接続手段を切り離すことによって生じる基準電位の変動と同じ電位の変動を、データを読み出すビット線のプリチャージ電位に発生させる手段を有する請求項2、3、6または10記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子回路に使用する基準電位発生装置および半導体メモリ装置に関する。

【0002】

【従来の技術】電子回路特にデジタル回路では、扱う信号が“H”か“L”かを判定する回路が必要であるが、その基準となるのが基準電位である。たとえば、半導体メモリ装置では、メモリセルから読み出したデータが“1”であるか“0”であるかを正確に判定する必要がある。最近では、データを読み出すビット線と対になったビット線に基準電位を与え、この基準電位と読み出したデータとを比較して、読み出したデータが“1”であるか、“0”であるかを判定する方法がとられている。

【0003】しかしながら、最近の半導体メモリ装置では、高密度化、高集積化によりメモリセルを構成するトランジスタおよびメモリセルキャパシタの寸法が小さくなってきており、蓄積される電荷量が小さくなってきている。したがって、データ“1”とデータ“0”との差が小さくなっており、それだけ半導体メモリ装置から出力されるデータの信頼性を確保するために精度の高い基準電位が要求されるようになってきた。

【0004】また半導体メモリ装置では、半導体メモリ装置内に形成されたメモリセルキャパシタに電荷を蓄積し、その電荷の有無によりデータを記憶する方式が主に用いられている（一般にダイナミック方式メモリ、以下DRAMと呼ぶ）。このメモリセルキャパシタには、従来はシリコン酸化膜を容量絶縁膜として使用していた。

【0005】最近になって、強誘電体材料をメモリセル

5

キャパシタの容量絶縁膜として使用し、記憶データの不揮発性を実現しようとする半導体メモリ装置が考案されている。

【0006】以下、従来の基準電位発生装置およびそれを用いた半導体メモリ装置について、強誘電体材料をメモリセルキャパシタの容量絶縁膜として用いた半導体メモリ装置について説明する。

【0007】図27は従来の半導体メモリの回路構成図、図28は同半導体メモリ装置の動作タイミングを示す図、図29は同半導体メモリ装置のメモリセルキャパシタの強誘電体膜のヒステリシス特性を示す図、図30は同半導体メモリ装置のリファレンスセルキャパシタの強誘電体膜のヒステリシス特性を示す図である。

【0008】図27において、1はワード線、2はリファレンスワード線、3、4はビット線、5はプレート電極、6はリファレンスセルプレート電極、7はセンスアンプ、8a~8eはメモリセル、9、10はリファレンスセル、11、12はMOSトランジスタ、13はメモリセルキャパシタ、14はリファレンスセルキャパシタである。

【0009】図27に示す従来の半導体メモリ装置の回路構成は、センスアンプ7にビット線3、4が接続され、このビット線3、4のそれぞれにメモリセル8a、8b、8c、8d、8eとリファレンスセル9、10が接続されている。メモリセル8aはMOSトランジスタ11とメモリセルキャパシタ13とで構成され、MOSトランジスタ11のゲートはワード線1に接続され、MOSトランジスタ11のドレインはビット線3に接続され、MOSトランジスタ11のソースはメモリセルキャパシタ13の第1の電極に接続され、メモリセルキャパシタ13の第2の電極はセルプレート電極5に接続されている。同様に、リファレンスセル9はMOSトランジスタ12とリファレンスセルキャパシタ14で構成され、MOSトランジスタ12のゲートはリファレンスワード線2に接続され、MOSトランジスタ12のドレインはビット線4に接続され、MOSトランジスタ12のソースはリファレンスセルキャパシタ14の第1の電極に接続され、リファレンスセルキャパシタ14の第2の電極はリファレンスセルプレート電極6に接続されている。

【0010】図27に示す従来の半導体メモリ装置では、基準電位はリファレンスセル9、およびリファレンスセル10で作成され、リファレンスセル9の基準電位はビット線4に供給され、リファレンスセル10の基準電位はビット線3に供給されるが、ビット線3とビット線4で基準電位に差がないことが望ましい。そのためには、リファレンスセルキャパシタ14の面積、容量絶縁膜の厚さを一定にしなければならないという、きわめて厳しい条件が付けられる。

【0011】次に従来の半導体メモリ装置の動作につい

6

て、図28の動作タイミング図、図29のメモリセルキャパシタの強誘電体膜のヒステリシス特性図、および図30のリファレンスセルキャパシタの強誘電体膜のヒステリシス特性図を参照しながら説明する。

【0012】図29および図30において、横軸はメモリセルキャパシタ13にかかる電界を、縦軸はそのときの電荷量を示している。このように電界が0のときでも、点B、点E、点K、および点Hのように残留分極が残るので、電源をオフした後も強誘電体キャパシタに残った残留分極を不揮発性データとして利用し、不揮発性半導体メモリ装置を実現している。なお、メモリセルキャパシタ13は、メモリセル8aのデータが“1”である場合には、図29の点Bの状態にあり、メモリセル8aのデータが“0”である場合には、点Eの状態にある。またリファレンスセルキャパシタ14の初期状態は、図30の点Kの状態とする。

【0013】次にメモリセル8aのデータの読み出しについて説明する。初期状態として、ビット線3、4、ワード線1、リファレンスワード線2、セルプレート電極5、およびリファレンスセルプレート電極6をそれぞれ論理電圧“L”とする。その後、ビット線3、4をフローティング状態とする。次にワード線1、リファレンスワード線2、セルプレート電極5、およびリファレンスセルプレート電極6を論理電圧“H”にする。ここで、MOSトランジスタ11、12がオンするため、メモリセルキャパシタ13およびリファレンスセルキャパシタ14に電界がかかり、メモリセル8aのデータが“1”である場合には、図29の点Bの状態から点Dの状態になり、電荷Q1がビット線3に読み出される。メモリセル8aのデータが“0”である場合には、図29の点Eの状態から点Dの状態になり、電荷Q0がビット線3に読み出される。そして、メモリセル8aのデータを読み出したビット線3の電位とリファレンスセル9のデータを読み出したビット線4の電位との差をセンスアンプ7で増幅し、メモリセル8aのデータが読み出される。

【0014】メモリセル8aは、そのデータが“1”のときには、ビット線3が論理電圧“H”となり、セルプレート電極5が論理電圧“H”であり、メモリセルキャパシタ13に電界がかからなくなるため、図29で点Eの状態になる。その後、メモリセルキャパシタ13のデータの状態を図29で点Bの状態に戻すために、セルプレート電極5の論理電圧を“L”とし、一度点Aの状態とした後にワード線1を論理電圧“L”にしている。ワード線1を論理電圧“L”とすると、メモリセルキャパシタ13には電界がかからなくなるため、図29の点Bの状態に戻る。

【0015】同様に、メモリセル8aのデータが“0”のときには、ビット線3が論理電圧“L”となり、セルプレート電極5が論理電圧“H”であり、メモリセルキャパシタ13は図29で点Dの状態である。その後、セ

7

ルプレート電極5の論理電圧を“L”とすると、メモリセルキャパシタ13には電界がかからなくなるため、図29で点Eの状態となる。その後、ワード線1を論理電圧“L”とするが、メモリセルキャパシタ13に電界がかからない状態は変わらず、図29の点Eの状態にある。

【0016】一方、リファレンスセル9は、メモリセル8aのデータが“1”のときは、ビット線4が論理電圧“L”となり、セルプレート電極6は論理電圧“H”であるため、リファレンスセルキャパシタ14は図30で点Jの状態にある。その後、リファレンスワード線2を論理電圧“L”とすると同時に、リファレンスセルプレート電極6の論理電圧を“L”にすると、リファレンスセルキャパシタ14に電界がかからない状態は変わらず、図30の点Kの状態に戻る。

【0017】同様に、メモリセル8aのデータがゼロのときは、ビット線4が論理電圧“H”となり、セルプレート電極6は論理電圧“H”であるため、リファレンスセルキャパシタ14は図30で点Kの状態にある。その後、リファレンスワード線2を論理電圧“L”とすると同時にリファレンスセルプレート電極6の論理電圧を“L”にすると、リファレンスセルキャパシタ14に電界がかからない状態は変わらず、図30の点Kの状態である。

【0018】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、基準電位を発生するためのリファレンスセル9が1個のMOSトランジスタ12と1個のリファレンスセルキャパシタ14とで構成されているために、強誘電体キャパシタの面積、容量絶縁膜の厚さなど寸法上のばらつきによって基準電位が変動するという課題を有していた。

【0019】また上記の従来の構成では、製造工程直後の初期状態としてリファレンスセルキャパシタが図30の点Kの状態になるとは限らないために、初期状態がたとえば図30の点Hの状態にあると、1回目の読み出し時に誤動作するという課題を有していた。

【0020】また上記の従来の構成では、メモリセルからデータを読み出し、センスアンプ7でビット線3に読み出された電荷を増幅した後に、リファレンスワード線2とリファレンスセルプレート電極6とを同時に論理電圧“L”としているため、リファレンスワード線2の寄生容量が大きく、リファレンスワード線2の立ち下がりリファレンスセルプレート電極6の立ち下がりより遅い場合には、メモリセル8aのデータが“0”のとき、ビット線4が論理電圧“H”でリファレンスセルプレート電極6の論理電圧“L”の状態が生じ、リファレンスセルキャパシタ14の状態は図30の点Gとなる。その後、リファレンスセルプレート電極6が論理電圧“L”になれば、リファレンスセルキャパシタ14の状態は図

8

30の点Hとなり、リファレンスセルキャパシタ14の初期状態である図30の点Kの状態にないため、次のメモリセル読み出し時に誤動作するという課題を有していた。

【0021】またワード線1、リファレンスワード線2、セルプレート電極5およびリファレンスセルプレート電極6の立ち上がり立ち下がりとは同時であるので、これらを駆動するために消費電力が集中するという課題を有していた。

【0022】本発明は上記従来の課題を解決するもので、正確な基準電位を発生する基準電位発生装置およびこの基準電位発生装置を内蔵し、読み出したデータの“1”、“0”を正確な基準電位によって判定することによって、つねに正しいデータを出力できる半導体メモリ装置を提供することを目的とする。

【0023】

【課題を解決するための手段】この目的を達成するために本発明の基準電位発生装置は、2本の信号線と、この2本の信号線に電位を付与するための電荷を供給する電荷供給手段と、第1の制御信号によって電荷供給手段と2本の信号線との間を接続し、2本の信号線にそれぞれ電荷を供給する第1の接続手段と、第2の制御信号によって2本の信号線間を接続し、供給された電荷量と各信号線の負荷容量とで決まる2本の信号線の電位を平均化した後、2本の信号線間を切り離す第2の接続手段とを備えた構成を有している。

【0024】また本発明の半導体メモリ装置は、メモリセルと、メモリセルからデータを読み出すためのビット線と、基準電位発生手段と、メモリセルから読み出したデータと基準電位とを入力とし、その電位差を増幅して出力する増幅器とを備えた構成を有している。

【0025】

【作用】この構成によって、基準電位発生装置としてつねに正確で安定した基準電位を発生させることが可能となり、さらにこのような基準電位発生装置を備えた半導体メモリ装置では、メモリセルから読み出した電位と正確な基準電位との電位差をセンスアンプで増幅することになり、データの正確な読み出しができる。

【0026】

【実施例】以下、本発明の基準電位発生装置の実施例について説明する。

【0027】〔実施例1〕図1は本発明の第1の実施例における基準電位発生装置の回路ブロック図である。図1において、21、22は信号線、23は電荷供給回路、24a、24bは第1のスイッチ回路、25は第2のスイッチ回路である。

【0028】まず、それぞれ第1のスイッチ回路24a、24bを介して、電荷供給回路23から電荷を信号線21、22に付与した後、第1のスイッチ回路24aと第2のスイッチ回路24bとを切断する。この段階

で、信号線21と信号線22の浮遊容量、および電気抵抗値などが等しく、かつ電荷供給回路23から同一量の電荷が供給されておれば、信号線21と信号線22とは同じ電位が発生することになるが、浮遊容量、および電気抵抗値などが異なれば、同一電荷量が供給されても信号線間で電位が異なる。その場合、本実施例では第2のスイッチ回路25をオンして、信号線21と信号線22とを電氣的に短絡し、電荷を移動させて、両者の電位を等しくしている。

【0029】また浮遊容量、および電気抵抗値などが等しい信号線21と信号線22とに、電荷供給回路23からそれぞれ異なる電荷量を供給した場合には、その電荷量に比例した電位が各信号線に発生する。本実施例ではそれらの電位を第2のスイッチ回路25をオンすることによって平均化して、ちょうど中間の電位を2本の信号線に発生させている。ここで、第2のスイッチ回路25をオンする前に各信号線に発生していた異なる電位を比較するのに、スイッチ回路25をオンした後に発生する平均化電位を基準にすれば、その基準電位が比較する電位のちょうど中間電位であることからもっとも比較しやすい基準電位となる。

【0030】〔実施例2〕本発明の第2の実施例における半導体メモリ装置について、図面を参照しながら説明する。

【0031】図2は本発明の第2の実施例における半導体メモリ装置の回路ブロック図である。図2において、30a、30b、30cはメモリセル、31は第1のビット線、32は第2のビット線、33は第3のビット線、34は第4のビット線、35a、35bは電荷供給回路、36aは電荷供給回路35aを第3のビット線33に接続するスイッチ素子、36bは電荷供給回路35bを第4のビット線34に接続するスイッチ素子、37は制御信号によって第3のビット線33と第4のビット線34を接続するスイッチ素子、38は第1のビット線31と第2のビット線32の電位差を増幅する増幅器38である。

【0032】なお、本実施例の半導体メモリセル装置において、第3のビット線33、第4のビット線34、電荷供給回路35a、35b、およびスイッチング素子36a、36b、37で構成される部分が、実施例1の基準電位発生装置に相当する基準電位発生手段である。

【0033】以上のように構成された半導体メモリ装置について、以下にその動作について説明する。なお、メモリセル30a～30cにはすでにデータが書き込まれているものとする。

【0034】まず最初に、各ビット線31～34を一定の電位、たとえば接地電位にプリチャージする。次にスイッチ素子36a、36bをオンにして電荷供給回路35a、35bから第3のビット線33、第4のビット線34にそれぞれ電荷を供給する。その結果、第3のビ

ット線33および第4のビット線34の電位は、それぞれ供給された電荷量と各ビット線の負荷容量で決まる値になる。次にスイッチ素子36a、36bをオフにし、スイッチ素子37をオンにして第3のビット線33と第4のビット線34の間で電荷の移動を生じさせる。この電荷の移動は電荷量とビット線の負荷容量とで決まる電位が等しくなる点で停止し、その結果、第3のビット線33と第4のビット線34の電位は、スイッチング素子37をオンする前の各ビット線の電位の中間の電位に平均化される。次にスイッチ素子37をオフにする。ここでビット線31、33、34の負荷容量をすべて等しくして、ビット線33にはメモリセル30aからデータ“0”を読み出すときの電荷量が供給され、ビット線34にはメモリセル30aからデータ“1”を読み出すときの電荷量が供給されれば、それらの中間の電位が発生する。これを基準電位として以下のようにデータの読み出しを行う。なお、スイッチ素子36a、36bとスイッチ素子37とをタイミングをずらせてオンにしているが、同時にオンにしても支障はない。

【0035】第1のビット線31と第2のビット線32はともに接地電位にプリチャージされており、その状態でメモリセル30aから第1のビット線31へデータを読み出す。また第3のビット線33または第4のビット線34の電位は第2のビット線32に転送される。増幅器38では、第1のビット線31の電位が第2のビット線32の電位に比べて、高いか低いかを増幅して“1”または“0”の信号として出力される。

【0036】このように本実施例では、データ“0”を読み出したときのビット線の電位と“1”を読み出したときのビット線の電位のちょうど中間の基準電位を発生させ、それと比較して読み出したデータの“1”、“0”を判定するため、より正確なデータの読み出しが可能となる。

【0037】なお、電荷供給回路35a、35bをキャパシタで、スイッチング素子36a、36bをMOSトランジスタで構成した場合には次のようになる。

【0038】キャパシタにはあらかじめ電荷が蓄えられており、キャパシタの両電極間に発生する電圧は、MOSトランジスタをオフにしておくことにより、保持されている。MOSトランジスタをオンにすることによりキャパシタに蓄えられていた電荷がビット線に供給されるが、ビット線の電位とキャパシタの両電極間の電位とが等しくなったところで、電荷の移動が停止し、ビット線に電位が発生することになる。電荷供給以降の動作は前に述べたとおりである。

【0039】また、メモリセル30a～30cがキャパシタとMOSトランジスタで構成され、かつ電荷供給回路35a、35bを構成するキャパシタをメモリセル30a～30cのキャパシタと同一設計、同一容量のものとするれば、ビット線33や34にメモリセルからデータ

“0”または“1”を読み出すときの電荷を供給するの
に、メモリセルのキャパシタにデータ“0”または
“1”を書き込むのと同じ電荷量を電荷供給装置のキャ
パシタに蓄積すればよい。すなわち、電荷供給装置のキャ
パシタに論理電圧“H”で書き込みを行い、もう一つ
のキャパシタに論理電圧“L”で書き込みを行って、そ
れぞれの電荷をビット線に供給して平均化すれば基準電
位を発生できる。

【0040】また、製造上でキャパシタのでき具合に変
動が生じた場合でも、メモリセルと電荷供給装置のキャ
パシタとが同じ変動を受ければ、結果として基準電位は
データ“0”と“1”を読み出したときの中間の電位か
らずれない。それに対して、メモリセルと電荷供給装置
で異なるキャパシタを使用している場合には、製造上の
変動が与える影響も異なり、電荷の供給量のずれの差も
大きくなって、基準電位は中間点からずれてしまうこと
もある。

【0041】また、メモリセル30a、30b、30c
および電荷供給回路35a、35bを構成するキャパシ
タとして強誘電体膜を容量絶縁膜とする強誘電体キャ
パシタを用いた場合、上記の場合と同様に基準電位を発生
させてデータの読み出しができるとともに、強誘電体キャ
パシタは自発分極によってデータを記憶するものである
から、不揮発性半導体メモリ装置を構成することがで
きる。

【0042】〔実施例3〕本発明の第3の実施例におけ
る半導体メモリ装置について、図面を参照しながら説明
する。本実施例は、図2に示す第2の実施例において、
第2のビット線32と第3のビット線33とを共通にし、その回路構成をより簡略化したものである。

【0043】図3は本発明の第3の実施例における半導
体メモリ装置の回路ブロック図である。図3において、
40a、40b、40cはメモリセル、41はメモリセル
40a~40cからデータを読み出すための第1のビ
ット線、42は第2のビット線、43は第2のビット線
42と対になって基準電位を発生させる第3のビット
線、44a、44bは電荷供給回路、45a、45b、
46はスイッチング素子、47は第1のビット線41と
第2のビット線42が接続された増幅器である。

【0044】以上のように構成された半導体メモリ装置
について、以下にその動作について説明する。なお、メ
モリセル40a~40bにはすでにデータが書き込まれ
ているものとして説明する。

【0045】まず、第1のビット線41、第2のビット
線42および第3のビット線43を一定の電位、たと
えば接地電位にプリチャージする。次に、スイッチ素子4
5a、45bをオンにして、電荷供給回路44aおよび
電荷供給回路44bから第2のビット線42および第3
のビット線43に電荷を供給する。その結果、第2のビ
ット線42と第3のビット線43の電位は、それぞれ供

給された電荷量と各ビット線の負荷容量とによって決ま
る値になる。次に、スイッチ素子46をオンにすると、
第2のビット線42と第3のビット線43との間で電荷
の移動、再配分が行われ、その結果、第2のビット線4
2と第3のビット線43の電位は、スイッチ素子46を
オンする前の第2のビット線42と第3のビット線43
の電位の中間にある等しい電位に平均化される。その後
にスイッチ素子46をオフにして、第2のビット線42
と第3のビット線43とを切り離す。なお、ここではス
イッチ素子46とスイッチ素子45a、45bとは別々
にオンさせているが、同時にオンさせても支障はない。
これで第2のビット線42に基準電位が発生したことに
なる。

【0046】次に、第1のビット線41にメモリセル4
0aに記憶されているデータを読み出すが、このステッ
プはメモリセル40aから電荷を読み出す方法で行われ
る。第1のビット線41の電位は、読み出した電荷量と
第1のビット線41の負荷容量によって決まる値にな
る。

【0047】ここで、第2のビット線42と第3のビ
ット線43の負荷容量とそれぞれに供給する電荷量を調整
することによって、たとえば第2のビット線42と第3
のビット線43との間での電荷量の移動、再配分によっ
て発生させる基準電位として、“0”が記憶されている
メモリセルのデータを読み出したときの第1のビット線
41の電位と、“1”が記憶されているメモリセルのデ
ータを読み出したときの第1のビット線の電位との中間
の値になるように調整でき、第2のビット線42に発生
する基準電位と第1のビット線41の電位の差を増幅器
47で増幅することによって、半導体メモリ装置からデ
ータを出力することができる。

【0048】以上のように本実施例では、第2の実施例
に比べて簡略化した回路ではあるが、同様にメモリセル
からデータをビット線に読み出した電位を、データ
“0”と“1”とをビット線に読み出したときの中間の
電位と比較できるため、より正確なデータの読み出しが
できる。

【0049】〔実施例4〕本発明の第4の実施例におけ
る半導体メモリ装置について、図面を参照しながら説明
する。本実施例は、図3に示す第3の実施例を基本にし
て、より拡張させたものであり、図3に示す第1のビ
ット線41を複数本にした場合に相当する。

【0050】図4は本発明の第4の実施例における半導
体メモリ装置の回路構成図、図5は同半導体装置の動作
を説明するタイミング図である。図4において、BL
0、/BL0、BL1、/BL1はメモリセルのビット線で
あり、ビット線/BL0はメモリセルからデータを読み
出す際にビット線BL0とは逆の論理電圧になるビット
線を表している（以下、逆の論理電圧になるビット線に
は符号の前に/を付けて表す）。CP0、CP1はビット

線とは平行に配置されたセルプレート電極、WL0, WL1, WL2, WL3はメモリセルのワード線、SA0はセンスアンプ、C00, C10, C20, C30, C01, C11, C21, C31はメモリセル強誘電体キャパシタ、Qn00, Qn10, Qn20, Qn30, Qn01, Qn11, Qn21, Qn31はメモリセルを構成するMOSトランジスタ、Qn00CG, Qn01CG, Qn02CG, Qn03CGは複数のビット線を選択してセンスアンプSA0と接続するMOSトランジスタ、CG0, CG1, CG2, CG3はメモリセルのコラムを選択するコラムゲート信号、DBL, /DBLは基準電位を発生するためのリファレンスセルのビット線、DCP0はリファレンスセルのセルプレート電極、DWL0, DWL1はリファレンスセルのワード線、BEQはビット線イコライズ信号（以下イコライズ信号という）、C00D, C10Dはリファレンスセル強誘電体キャパシタ、Qn00D, Qn01Dはリファレンスセルを構成するMOSトランジスタ、QnBEQDはイコライズ信号BEQによってビット線DBLとビット線/DBLとを接続または非接続にするMOSトランジスタ、DCG0, DCG1はリファレンスセルのコラムを選択するコラムゲート信号、Qn00DCG, Qn01DCGはリファレンスセルのビット線を選択してセンスアンプSA0に接続するMOSトランジスタ、GBL, /GBLはグローバルビット線、BPはビット線GBLとビット線/GBLとを接地電位に揃えるためのビット線プリチャージ信号（以下プリチャージ信号という）、Qn00BP, Qn10BPはビット線GBLとビット線/GBLを接地電位に揃えるためのMOSトランジスタ、Vssは接地電位、SAEはセンスアンプの作動、非作動の制御信号（以下センスアンプ制御信号という）である。

【0051】上記の構成において、たとえば1個のメモリセルは、メモリセルキャパシタC00, C10とMOSトランジスタQn00, Qn10とで構成される。基準電位を発生するためのリファレンスセルは、リファレンスセルキャパシタC00D, C10DとMOSトランジスタQn00D, Qn10Dとで構成される。また、上記の構成において、セルプレート電極CP0がビット線に平行に走っているのは、センスアンプSA0が一つであるので、あるワード線で選択された複数のメモリセルのうち所定のメモリセルのみを動作させるためである。

【0052】以上のように構成された半導体メモリ装置について、以下にその動作について図5を参照しながら説明する。なお、前提としてメモリセルキャパシタC00にはデータ“1”が、メモリセルキャパシタC10にはデータ“0”が、またリファレンスセルキャパシタC00Dにはデータ“1”が、リファレンスセルキャパシタC10Dにはデータ“0”がそれぞれあらかじめ書き込まれているものとする。

【0053】まず、イコライズ信号BEQとプリチャージ信号BPを論理電圧“H”にして、MOSトランジスタ

QnBEQD, Qn00BP, Qn10BPをオンし、グローバルビット線GBL, /GBLを接地電位とにした後、プリチャージ信号BPを論理電圧“L”にしてグローバルビット線GBLと同/GBLとを切り離す。

【0054】この状態でコラムゲート信号CG0, DCG0を論理電圧“H”にして、MOSトランジスタQn00CG, Qn00DCGをオンすることによって、ビット線BL0, /DBLが接地電位になる。次に、ワード線WL0, DWL0, DWL1, およびセルプレート電極CP0, DCP0をそれぞれ論理電圧“H”にすることにより、ビット線BL0にはメモリセルキャパシタC00からデータ“1”が読み出され、またビット線/DBLにはデータ“1”が、ビット線DBLにはデータ“0”がそれぞれ読み出される。このとき、MOSトランジスタQnBEQDがオンしており、ビット線DBLとビット線/DBLの電位が平均化され、その平均化された電位、すなわち基準電位がそれぞれのビット線に現れる。

【0055】したがって、グローバルビット線GBLにはデータ“1”に対応する電位が、グローバルビット線/GBLにはデータ“0”と“1”の平均に対応する電位がそれぞれ読み出され、これらの電位の差がセンスアンプSA0で増幅されて出力される。

【0056】次に再書き込みに移るのであるが、センスアンプSA0からグローバルビット線GBLにはデータ“1”が、グローバルビット線/GBLにはデータ“0”がそれぞれ戻される。このとき、セルプレートCP0を論理電圧“L”に、ワード線WL0を論理電圧“H”にすることにより、メモリセルキャパシタC00にデータ“1”を再書き込みできる。また、MOSトランジスタQn00DCGはオンしており、コラムゲート信号DCG1を論理電圧“H”にしてMOSトランジスタQn01DCGをオンにすると、リファレンスセルキャパシタC00Dにはグローバルビット線/GBLおよびビット線/DBLを介してデータ“0”が再書き込みされ、リファレンスセルキャパシタC01Dにはグローバルビット線GBLおよびビット線DBLを介してデータ“1”が再書き込みされる。

【0057】なお、本実施例では再書き込みをセンスアンプSA0に接続されたビット線対のデータを用いて行っているが、再書き込み専用回路から行ってもよい。

【0058】以上のように、本実施例ではマトリクス状に配置されたメモリセルと基準電位を発生させるリファレンスセルとの組み合わせを簡略化した回路構成によって実現しているが、基準電位として“0”と“1”の平均に対応する電位を発生させ、その基準電位と読み出したデータとの電位差をセンスアンプSA0で増幅する点に関しては上記他の実施例と同じであり、同様に正確なデータの読み出しとメモリセルへの再書き込みができる。

【0059】〔実施例5〕本発明の第5の実施例におけ

る半導体メモリ装置について、図面を参照しながら説明する。本実施例は、図2に示す第2の実施例を基本にして、拡張させたものである。その基本形は、第1のビット線31と第2のビット線32とからなるビット線対を2組配置し、そのビット線対の間に基準電位発生手段を設けたものである。

【0060】図6は本発明の第5の実施例における半導体メモリ装置の回路構成図、図7は同半導体メモリ装置の動作タイミングを示す図である。図6において、WL0、WL1、WL2、WL3はワード線、CP0、CP2はメモリセルのセルプレート電極、BL0、/BL0、BL1、/BL1、BL2、/BL2、BL3、/BL3はビット線、DWL0、DWL1は基準電位を発生させるためのリファレンスセルのワード線、DCP0はリファレンスセルのセルプレート電極、BEQ0、BEQ1はビット線対間でビット線同士を電氣的に接続、非接続にするためのビット線イコライズ信号、BP0、BP1はデータを読み出す前に一度ビット線の電位を論理電圧“L”に揃えるためのプリチャージ信号、Vccは電源電位、Vssは接地電位、DP0、DP1はリファレンスセルキャパシタにデータを書き込むためのデータプリチャージ信号、SA0、SA1はセンスアンプ、SAEはセンスアンプ制御信号である。

【0061】次に本実施例の基本構成について、ビット線BL0、/BL0からなるビット線対に着目して説明する。

【0062】メモリセルはメモリセルキャパシタC00～C30とMOSトランジスタQn00～Qn30との組合せで構成され、MOSトランジスタQn00のドレインはビット線BL0に、ゲートはワード線WL0に、ソースはメモリセルキャパシタC00の第1の電極にそれぞれ接続されており、メモリセルキャパシタC00の第2の電極はセルプレート電極CP0に接続されている。他のMOSトランジスタおよびメモリセルキャパシタも同様に接続されてメモリセルを構成している。

【0063】リファレンスセルもメモリセルと同様に、リファレンスセルキャパシタC00D、C10DとMOSトランジスタQn00D、Qn10Dとの組合せで構成され、MOSトランジスタQn00Dのドレインはビット線BL0に、ゲートはリファレンスセルのワード線DWL0に、ソースはリファレンスセルキャパシタC00Dの第1の電極にそれぞれ接続されており、リファレンスセルキャパシタC00Dの第2の電極はセルプレート電極DCP0に接続されている。他のMOSトランジスタおよびメモリセルキャパシタも同様に接続されて、リファレンスセルを構成している。

【0064】またビット線BL0、/BL0はセンスアンプSA0に接続されており、センスアンプSA0はセンスアンプ制御信号SAE0で制御され、SAE0が論理電圧“H”のときに動作する。ビット線BL0は、ゲートが

プリチャージ信号BP0によって制御されるMOSトランジスタQn00BPを介して接地電位Vssに、またビット線/BL0は、ゲートがプリチャージ信号BP1によって制御されるMOSトランジスタQn10BPを介して接地電位Vssにそれぞれ接続されている。

【0065】本実施例における半導体メモリ装置は、以上のビット線対が複数個配置されており、そのビット線対の間がイコライズ信号BEQ0または同BEQ1によって制御されるMOSトランジスタQn0EQ、Qn1EQにより接続されている。

【0066】以上のように構成された本実施例の動作について、図6および図7を参照しながら、ビット線BL1、/BL1、BL2、/BL2に着目して説明する。なお、前提としてメモリセルキャパシタC11にはデータ“1”が、メモリセルキャパシタC12にはデータ“0”が、またリファレンスセルキャパシタC01Dにはデータ“1”が、リファレンスセルキャパシタC02Dにはデータ“0”がそれぞれあらかじめ書き込まれているものとする。

【0067】初期状態では、ワード線WL0、WL1、セルプレート電極CP0、リファレンスセルのワード線DWL0、DWL1、リファレンスセルのプレート電極DCP0、データプリチャージ信号DP0、DP1、およびセンスアンプ制御信号SAE0は論理電圧“L”に、イコライズ信号BEQ0、BEQ1、およびプリチャージ信号BP0、BP1は論理電圧“H”にある。

【0068】まずイコライズ信号BEQ1、およびプリチャージ信号BP0、BP1を論理電圧“L”にし、セルプレート電極CP0、ワード線WL1、リファレンスワード線DWL0、およびリファレンスセルプレート電極DCP0を論理電圧“H”にすると、MOSトランジスタQn10、Qn11、Qn12、Qn13および同Qn00D、Qn01D、Qn02D、Qn03Dがオンする。したがって、ビット線/BL1にはメモリセルキャパシタC11からデータ“1”が、ビット線/BL2にはメモリセルキャパシタC12からデータ“0”がそれぞれ読み出され、ビット線BL1にはリファレンスセルキャパシタC01Dからデータ“1”が、ビット線BL2にはリファレンスセルキャパシタC02Dからデータ“0”がそれぞれ読み出される。

【0069】一方、イコライズ信号BEQ0は論理電圧“H”にあるためMOSトランジスタQn1EQはオンし、ビット線BL1とビット線BL2とが短絡されて、その電位が平均化されて両ビット線に基準電位が発生する。次に、イコライズ信号BEQ0を論理電圧“L”にし、センスアンプ制御信号SAE0を論理電圧“H”にしてセンスアンプSA0～SA3を動作させると、ビット線/BL1とビット線BL1の電位差がセンスアンプSA1で増幅され、ビット線BL2とビット線/BL2の電位差がセンスアンプSA2で増幅される。そして、センスアンプからそれぞれのビット線を介して、メモリセルキャパシ

タにデータの再書き込みがなされ、イコライズ信号BEQ0、BEQ1、プリチャージ信号BP0、BP1を論理電圧“H”にして、初期状態に戻る。なお、ワード線WL1を論理電圧“L”にした後プリチャージ信号DP0を論理電圧“H”にしてMOSトランジスタQn00DP、Qn01DP、Qn02DP、Qn03DPをオンし、リファレンスセルキャパシタC00D、C02Dには接地電位Vssを、リファレンスセルキャパシタC01D、C03Dに電源電位Vccをそれぞれ書き込んでいる。

【0070】今度はイコライズ信号BEQ0を論理電圧“L”、ワード線WL0、セルプレート電極CP0、リファレンスワード線DWL1、およびリファレンスセルプレート電極DCP0を論理電圧“H”にし、その他は同様にして、メモリセルキャパシタC01、C02のデータを読み出し、上記の説明と同様にしてデータの読み出し、再書き込みを行う。

【0071】本実施例では、基準電位の発生をビット線対で行うのではなく、隣接するビット線対のそれぞれ一方のビット線を用いて行っており、ビット線の負荷容量のばらつきをなくし、より正確な基準電位の発生が可能となり、データの読み出し、再書き込み時のエラーがなくなるとともに、基準電位を発生させてからデータを読み出す前にビット線を一度接地電位にプリチャージするという過程を省略することができ、アクセスタイムを短縮できる。

【0072】〔実施例6〕本発明の第6の実施例における半導体メモリ装置について、図面を参照しながら説明する。図8は本発明の第6の実施例における半導体メモリ装置の回路構成図、図8は同半導体メモリ装置の動作タイミングを示す図である。

【0073】本実施例は、図6に示す第5の実施例を基本にして、それを拡張させたものであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。なお、本実施例も、ビット線対の間に基準電位発生手段を設けた構造となっている。

【0074】本実施例は、図6に示す第5の実施例の回路構成に加えて、ビット線BL0とビット線/BL1との間を接続するMOSトランジスタQn0T、ビット線BL1とビット線/BL2との間を接続するMOSトランジスタQn3T、ビット線BL2とビット線/BL3との間を接続するMOSトランジスタQn2Tを設置するとともに、センスアンプSA0、SA2を同一センスアンプ制御信号SAE0で、センスアンプSA1、SA3を同一センスアンプ制御信号SAE1でそれぞれ制御するようにしたものである。なお、上記のMOSトランジスタによるビット線間の接続およびセンスアンプの制御はこの範囲だけでなく、全てのビット線に関して実施されるものである。また、図6に示した第5の実施例におけるリファレンスセルへのデータ書き込みに必要なMOSトランジスタおよびそれを制御する信号は、本実施例では不要であ

り、削除している。

【0075】以上のように構成された本実施例について、以下にその動作について説明する。

【0076】まずワード線WL1、DWL0、セルプレート電極CP0、DCP0、およびイコライズ信号BEQ0を論理電圧“H”にし、所定のMOSトランジスタをオンする。そして、ビット線BL1とビット線BL2の間に基準電位を発生させるとともに、ビット線/BL1、/BL2にメモリセルからデータを読み出し、そのデータと基準電位との差をセンスアンプで増幅するところまでは、第5の実施例と同じである。次に、センスアンプ制御信号SAE1を論理電圧“L”にし、続いて信号DT0を論理電圧“H”にする。このとき、センスアンプSA0、SA2は作動状態、センスアンプSA1、SA3は非作動状態で、かつMOSトランジスタQn3Tはオンしている。したがって、ビット線BL1にはビット線/BL2と同じデータが与えられ、ビット線BL2にはビット線/BL3と同じデータが与えられ、リファレンスセルキャパシタC01D、C02Dにデータがそれぞれ書き込まれる。

【0077】次に、イコライズ信号BEQ0、BEQ1、およびプリチャージ信号BP0、BP1を論理電圧“H”にして、初期状態に戻る。今度は、ワード線WL0、セルプレート電極CP0を論理電圧“H”にして、ビット線BL1とビット線BL2とからメモリセルキャパシタC01、C02のデータを読み出し、信号DT1を論理電圧“H”にして同様にリファレンスセルへデータの書き込みを行う。

【0078】本実施例では、再書き込み時のリファレンスセルキャパシタへの書き込みを、隣接するビット線対の一方のビット線と同一データを用いて書き込んでおり、それぞれのリファレンスセルキャパシタ間で電位の差がなくなり、結果的にはより正確な基準電位の発生が可能となり、データの読み出し、再書き込み時のエラーがなくなるとともに、リファレンスセルキャパシタへのデータの再書き込み回路が不要になり、回路を簡素化できる。

【0079】〔実施例7〕本発明の第7の実施例における半導体メモリ装置について、図面を参照しながら説明する。図10は本発明の第7の実施例における半導体メモリ装置の回路構成図、図11は同半導体メモリ装置の動作タイミングを示す図である。本実施例は、図6に示す第5の実施例を基本にして、拡張させたものであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0080】本実施例は、図6に示す第5の実施例の回路構成に加えて、ビット線BL0とビット線BL1とを接続するMOSトランジスタQn1EQ、同一信号によって制御されビット線BL0とビット線/BL1、ビット線/BL0とビット線BL1とを接続するMOSトランジスタQn0T、Qn1Tを設置するとともに、センスアンプSA0、

SA1を異なるセンスアンプ制御信号SAE0, SAE1で制御するようにしたものである。なお、上記のMOSトランジスタによるビット線間の接続、およびセンスアンプの制御はこの範囲だけでなく、全てのビット線に関して実施されるものである。また、図6に示す第5の実施例におけるリファレンスセルへのデータ書き込みに必要なMOSトランジスタおよびそれを制御する信号は、本実施例では不要であり、削除している。

【0081】すなわち、本実施例が基本的に第6の実施例と異なる点は、ビット線/BL0、ビット線/BL1およびMOSトランジスタQn0EQで構成される第1の基準電位発生手段と、ビット線BL0、ビット線BL1およびMOSトランジスタQn1EQで構成される第2の基準電位発生手段とを備えた構成となっている点である。

【0082】以上のように構成された本実施例の動作について、図11を参照しながら説明する。

【0083】まず、ワード線WL1, DWL0、セルプレート電極CP0, DCP0、およびイコライズ信号BEQ0を論理電圧“H”にし、所定のMOSトランジスタをオンする。そして、ビット線BL0とビット線BL1との間に基準電位を発生させるとともに、ビット線/BL0、/BL1にメモリセルからデータを読み出し、そのデータと基準電位との差をセンスアンプSA0, SA1で増幅するところまでは第5の実施例と同じである。次に、センスアンプ制御信号SAE1を論理電圧“L”にし、続いて信号DT0を論理電圧“H”にする。このとき、センスアンプSA0は作動状態で、センスアンプSA1は非作動状態であり、MOSトランジスタQn0T, Qn1Tはオンしている。したがって、ビット線/BL1にはビット線BL0と同じデータが与えられ、ビット線BL1にはビット線/BL0と同じデータが与えられ、リファレンスセルキャパシタC00D, C01Dにデータがそれぞれ書き込まれる。

【0084】次に、イコライズ信号BEQ0, BEQ1、およびプリチャージ信号BP0, BP1を論理電圧“H”にして、初期状態に戻る。今度は、ワード線WL0、およびセルプレート電極CP0を論理電圧“H”にして、ビット線BL1とビット線BL2からメモリセルキャパシタC01, C02のデータを読み出し、信号DT1を論理電圧“H”にして同様にリファレンスセルへデータの書き込みを行う。

【0085】本実施例では、隣接するビット線対への再書き込みを一つのセンスアンプによって行うため、それぞれのリファレンスセルキャパシタ間で電位の差がなくなり、結果的にはより正確な基準電位の発生が可能となり、データの読み出し、再書き込み時のエラーがなくなるとともに、データをビット線からビット線へ転送するための回路が簡略化できる。

【0086】〔実施例8〕本発明の第8の実施例における半導体メモリ装置について、図面を参照しながら説明

する。図12は本発明の第8の実施例における半導体メモリ装置の回路構成図、図13は同半導体メモリ装置の動作タイミングを示す図である。本実施例は図6に示す第5の実施例を基本にして、拡張させたものであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0087】本実施例は、図6に示す第5の実施例の回路構成に加えて、ビット線BL0とビット線BL1とを接続するMOSトランジスタQn1EQ、ビット線BL0とビット線/BL1とを接続するMOSトランジスタQn0Tを設置するとともに、センスアンプSA0とSA1を異なるセンスアンプ制御信号SAE0, SAE1で制御するようにしたものである。なお、上記のMOSトランジスタによるビット線間の接続、およびセンスアンプの制御はこの範囲だけでなく、全てのビット線に関して実施されるものである。また、図6に示す第5の実施例におけるリファレンスセルへのデータ書き込みに必要なMOSトランジスタおよびそれを制御する信号は本実施例では不要であり、削除している。

【0088】すなわち、本実施例が基本的に第6の実施例と異なる点は、ビット線/BL0、ビット線/BL1およびMOSトランジスタQn0EQで構成される第1の基準電位発生手段と、ビット線BL0、ビット線BL1およびMOSトランジスタQn1EQで構成される第2の基準電位発生手段とを備えた構成となっている点である。

【0089】以上のように構成された本実施例の動作について、図13を参照しながら説明する。

【0090】まず、ワード線WL1, DWL0、セルプレート電極CP0, DCP0、およびイコライズ信号BEQ0を論理電圧“H”にし、所定のMOSトランジスタをオンする。そして、ビット線BL0とビット線BL1との間に基準電位を発生させるとともに、ビット線/BL0、/BL1にメモリセルからデータを読み出し、そのデータと基準電位との差をセンスアンプSA0, SA1で増幅するところまでは第5の実施例と同じである。次に、センスアンプ制御信号SAE0を論理電圧“L”にし、続いて信号DT0を論理電圧“H”にする。このとき、センスアンプSA0は非作動状態、センスアンプSA1は作動状態であり、かつMOSトランジスタQn0Tはオンしている。したがって、ビット線BL0にはビット線/BL1と同じデータが与えられ、リファレンスセルキャパシタC00Dにそのデータが書き込まれる。

【0091】次に、イコライズ信号BEQ0, BEQ1、およびプリチャージ信号BP0, BP1を論理電圧“H”にして、初期状態に戻る。今度は、ワード線WL0、およびセルプレート電極CP0を論理電圧“H”にして、ビット線BL0とビット線BL1にメモリセルからデータを読み出し、信号DT0を論理電圧“H”にして同様にリファレンスセルへデータの書き込みを行う。このとき、センスアンプSAE0は作動状態、SAE1は非作

動状態であり、ビット線／BL1にはビット線BL0と同じデータが与えられ、リファレンスセルキャパシタC11Dにそのデータが書き込まれる。

【0092】本実施例も、第7の実施例と同様に、隣接するビット線対への再書き込みを一つのセンスアンプによって行っており、それぞれのリファレンスセルキャパシタ間で電位の差がなくなり、結果的にはより正確な基準電位の発生が可能となり、データの読み出し、再書き込み時のエラーがなくなるとともに、データをビット線からビット線へ転送するための回路が簡略化できる。

【0093】〔実施例9〕本発明の第9の実施例における半導体メモリ装置について、図面を参照しながら説明する。本実施例は図2に示す第2の実施例を基本にして、拡張させたものである。その基本形は、図2における第1のビット線31と第3のビット線33、第2のビット線32と第4のビット線34とをそれぞれ共通としたものであり、図12に示す第8の実施例をさらに簡略化したものである。

【0094】図14は本発明の第9の実施例における半導体メモリ装置の回路構成図、図15は同半導体メモリ装置の動作タイミングを示す図である。なお、図14および図15において、図12および図13に示す第8の実施例と同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0095】本実施例が図12に示す第8の実施例と異なる点は、メモリセルからデータを読み出すためのビット線対の両ビット線間にMOSトランジスタQn0EQを設置し、両ビット線間に基準電位を発生させるようにした点である。

【0096】以下に本実施例の動作について、ビット線BL0、／BL0に着目して説明する。MOSトランジスタQn00とメモリセルキャパシタC00とで構成されるメモリセルのデータを読み出すために、まず初期状態として、ワード線WL0、セルプレート電極CP0、ワード線DWL0、DWL1、セルプレート電極DCP0、およびセンスアンプ制御信号SAEをそれぞれ論理電圧“L”とし、イコライズ信号BEQおよびプリチャージ信号BP0、BP1を論理電圧“H”とする。このとき、MOSトランジスタQn0EQ、Qn00BP、Qn10BPはオンしており、各ビット線間で電位の差はなく、かつビット線BL0、／BL0は接地電位Vss、すなわち論理電圧“L”にされる。次に、プリチャージ信号BP0、BP1を論理電圧“L”にする。このとき、MOSトランジスタQn00BP、Qn10BPはオフし、ビット線BL0、／BL0はフローティング状態となるが、MOSトランジスタQn0EQはオンしている。次に、ワード線DWL0、DWL1およびセルプレート電極DCP0を論理電圧“H”にすることによって、MOSトランジスタQn00D、Qn10Dがオンし、ビット線BL0、／BL0にリファレンスセルキャパシタC00Dから、リファレンスセルキャパシタC10Dから電荷

がそれぞれ流れ込むが、MOSトランジスタQn0EQがオンしているために、各ビット線の電荷は両方の電位が等しくなるまで移動し、結果として電位が平均化される。すなわち、最初にリファレンスセルキャパシタC00Dのデータに論理電圧“H”が、リファレンスセルキャパシタC10Dに論理電圧“L”がそれぞれ書き込まれていると、ビット線の容量はほぼ等しいので、MOSトランジスタQn0EDがオンしたときに電荷を受けとめる容量はビット線が1本のときの2倍になる。したがって、基準電位はほぼ論理電圧“H”のとき読み出される電荷量と論理電圧“L”のとき読み出される電荷量の和をビット線の容量値で除して得られる電位となる。

【0097】次に、イコライズ信号BEQを論理電圧“L”にしてMOSトランジスタQn0EQをオフする。次に、リファレンスワード線DWL0を論理電圧“L”にし、同時にプリチャージ信号BP0を論理電圧“H”にしてMOSトランジスタQn00BPをオンさせ、ビット線BL0を接地電位Vss、すなわち論理電圧“L”にする。なお、ビット線BL0を論理電圧“L”にした後、プリチャージ信号BP0を論理電圧“L”にする。このときビット線／BL0には基準電位が保持されている。

【0098】この状態で、ワード線WL0、およびセルプレート電極CP0を論理電圧“H”にすることにより、MOSトランジスタQn00をオンし、メモリセルキャパシタC00のデータをビット線BL0に読み出す。次に、センスアンプ制御信号SAEを論理電圧“H”にすることによりセンスアンプSA0が活性化され、メモリセルキャパシタC00に“1”が書き込まれていたとすると、センスアンプSA0にはビット線BL0からのデータ“1”に対応する電位とビット線／BL0からの基準電位との差が入力され、増幅されてデータ“1”が出力される。

【0099】次に、ワード線DWL0を論理電圧“H”にしてMOSトランジスタQn00Dをオンし、さらにセルプレート電極CP0とセルプレート電極DCP0を論理電圧“L”にして、メモリセルキャパシタC00とリファレンスセルキャパシタC00Dとにデータ“1”をそれぞれ再書き込みする。次に、ワード線WL0、およびリファレンスワード線DWL0、DWL1を論理電圧“L”にした後、センスアンプ制御信号SAEを論理電圧“L”にし、イコライズ信号BEQ、およびプリチャージ信号BP0、BP1を論理電圧“H”にして、初期状態に戻る。

【0100】なお、メモリセルキャパシタC00にデータ“0”が書き込まれていた場合にも、上記と同様のステップを経てデータ“0”が読み出され、必要な再書き込みが行われて初期状態に戻る。

【0101】以上のように本実施例では、メモリセルがトランジスタと強誘電体キャパシタとで構成され、かつメモリセルと同じ構成のリファレンスセルを有している例について説明した。この場合、基準電位はリファレン

スセルキャパシタC00DとC10Dに記憶されているデータの平均値となる。したがって、つねに正確な基準電位を供給することができるため、誤ったデータの読み出し、書き込みがなくなる。

【0102】〔実施例10〕本発明の第10の実施例における半導体メモリ装置について、図面を参照しながら説明する。本実施例は、データ読み出し時にビット線間で負荷容量を等しくし、負荷容量のバランスが崩れることによる電位の変動をなくしたものである。

【0103】図16は本発明の第10の実施例における半導体メモリ装置の回路構成図、図17は同半導体メモリ装置の動作タイミングを示す図である。なお、基本的な構成は、図14に示す第9の実施例と同じであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0104】本実施例が図14に示す第9の実施例と異なる点は、リファレンスセルを構成するMOSトランジスタQn00D、Qn10Dのゲートを共通接続とし、同一信号で制御するようにした点である。

【0105】以下に本実施例の動作について、ビット線BL0、/BL0に着目して説明する。第9の実施例と同様にして、イコライズ信号BEQ0を論理電圧“H”にし、MOSトランジスタQn0EQをオンにした状態で、リファレンスセルキャパシタC00Dからビット線BL0へ、リファレンスセルキャパシタC10Dからビット線/BL0へそれぞれデータを読み出し、電位を平均化して基準電位を作る。そして、リファレンスセルのワード線DWL0を論理電圧“L”にしてMOSトランジスタQn00D、Qn10Dをオフにし、ビット線BL0、/BL0から切り離す。このとき、イコライズ信号BEQ0を論理電圧“L”にしてMOSトランジスタQnEQをビット線BL0、/BL0から切り離すと、両ビット線の負荷容量が変わり、その分基準電位が低下するが、この基準電位の低下分は後に説明するようにして補正される。

【0106】次に、プリチャージ信号BP0を論理電圧“H”にして、ビット線BL0のみを接地電位Vssにする。このときビット線/BL0の電位は基準電位である。次に、ワード線WL0、およびセルプレート電極CP0をそれぞれ論理電圧“H”にし、メモリセルキャパシタC00のデータをビット線BL0に読み出した後、ワード線WL0を論理電圧“L”にしてMOSトランジスタQn00をビット線BL0から切り離すことによって、ビット線BL0の負荷容量が変わり、その分ビット線BL0の電位が低下する。この電位の低下分が上に述べた基準電位の低下分に相当し、ここでその低下分が補正されたことになる。

【0107】次に、両ビット線から全てのMOSトランジスタが切り離された状態で、センスアンプ制御信号SAEを論理電圧“H”にし、データを読み込み、増幅する。再書き込み時には、再度メモリセルのワード線WL

0およびリファレンスセルのワード線DWL0を論理電圧“H”にし、データを書き込み、初期状態に戻る。

【0108】以上のように本実施例では、基準電位作成後MOSトランジスタQn0EQをビット線BL0から切り離したときに生ずる基準電位低下分を、メモリセルからデータを読み出した後にMOSトランジスタQn00をビット線から切り離したときに生ずる電位低下分で相殺しており、さらにビット線BL0とビット線/BL0の電位差をセンスアンプSAE0で増幅する際に両ビット線の容量をビット線容量のみとしているため、より正確にデータの読み出し、再書き込みができることになる。

【0109】なお、図14に示す第9の実施例においても、基準電位の低下分を補正する同様の動作をさせることは可能である。すなわち、第9の実施例においてビット線BL0、/BL0の電位差をセンスアンプSA0で増幅する際、メモリセルのワード線WL0およびリファレンスセルのワード線DWL1を論理電圧“H”とし、MOSトランジスタQn00、Qn10Dをオンし、両ビット線間の負荷容量を等しくしてやることにより、両ビット線の電位低下分を等しくしてやることができ、本実施例と同様に、より正確にデータの読み出し、再書き込みができることになる。また図14に示す第9の実施例においては、図15の動作タイミング図に示すように、MOSトランジスタQn10Dをオンした状態でMOSトランジスタQn00をオンして、メモリセルキャパシタC00からデータを読み出すことにより、ビット線BL0にはMOSトランジスタQn00の容量が、ビット線/BL0にはMOSトランジスタQn10Dの容量がそれぞれ付加されたことになり、両ビット線の負荷容量が等しくなる。

【0110】〔実施例11〕本発明の第11の実施例における半導体メモリ装置について、図面を参照しながら説明する。本実施例は、リファレンスセルへのデータ書き込みに関するものである。たとえば、図14に示す第9の実施例ではリファレンスセルへのデータの書き込みをビット線から行った例を示している。

【0111】図18は本発明の第11の実施例における半導体メモリ装置の回路構成図、図19は同半導体メモリ装置の動作タイミングを示す図である。なお、基本的な構成は、図14に示す第9の実施例と同じであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0112】本実施例が図14に示す第9の実施例と異なる点は、リファレンスセルを構成するリファレンスセルキャパシタC00Dの一方の電極とMOSトランジスタQn00Dの接続点と接地電位Vssとを、MOSトランジスタQn00DPを介して接続し、かつリファレンスセルキャパシタC10Dの一方の電極とMOSトランジスタQn10Dの接続点と電源電位VccとをMOSトランジスタQn10DPを介して接続し、MOSトランジスタQn00DP、Qn10DPを同じプリチャージ信号DP0で制御するようにした点

である。

【0113】 以上のように構成された本実施例の動作について、以下に説明する。まず初期状態において、プリチャージ信号DP0を論理電圧“H”にし、MOSトランジスタQn00DP, Qn10DPをオンする。そうすることによって、リファレンスセルキャパシタC00Dの電位は接地電位Vssに、リファレンスセルC10Dの電位は電源電位Vccとなる。以降、リファレンスセルからビット線BL0、/BL0へデータを読み出し、平均化して基準電位を作り、ビット線BL0を接地電位Vssにした後、メモリセルキャパシタC00からビット線BL0へデータを読み出し、センスアンプSA0で増幅し、メモリセルキャパシタへの再書き込みで一連の動作が終了する点は図15に示す第9の実施例の動作タイミングと同じである。

【0114】 なお、以上の説明においてリファレンスセルへの書き込み電位を接地電位Vss、電源電位Vccとしたが、特にこの電位に限定されるものではなく、任意の電位を書き込んでも問題はない。

【0115】 以上のように、本実施例においてはリファレンスセルキャパシタへ外部専用回路を通して任意の電位を書き込めるようにしたものであり、リファレンスセルには動作直前につねに一定の電位が書き込まれるため、安定したデータの読み出し、書き込みが可能となる。

【0116】 〔実施例12〕 本発明の第12の実施例における半導体メモリ装置について、図面を参照しながら説明する。本実施例も第11の実施例と同様、リファレンスセルへのデータ書き込みに関するものである。

【0117】 図20は本発明の第12の実施例における半導体メモリ装置の回路構成図、図21は同半導体メモリ装置の動作タイミングを示す図である。なお、基本的な構成は、図14に示す第9の実施例と同じであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0118】 本実施例が図14に示す第9の実施例と異なる点は、リファレンスセルキャパシタC00Dの一方の電極とMOSトランジスタQn00Dとの接続点をMOSトランジスタQn00DPを介して接地電位Vssに、MOSトランジスタQn00DP2を介して電源電位Vccにそれぞれ接続し、かつリファレンスセルキャパシタC10Dの一方の電極とMOSトランジスタQn10Dとの接続点をMOSトランジスタQn10DPを介して電源電位Vccに、MOSトランジスタQn10DP2を介して接地電位Vssにそれぞれ接続している点である。なお、MOSトランジスタQn00DP, Qn10DPは同じプリチャージ信号DP0で制御され、MOSトランジスタQn00DP2, Qn10DP2は同じプリチャージ信号DP1で制御されるように結線されている。

【0119】 以上のように構成された本実施例の動作について、以下に説明する。まず初期状態において、プリチャージ信号DP0を論理電圧“H”にし、MOSトラ

ンジスタQn00DP, Qn10DPをオンする。そうすることによって、リファレンスセルキャパシタC00Dの電位は接地電位Vssに、リファレンスセルC10Dの電位は電源電位Vccとなる。以降、リファレンスセルからビット線BL0、/BL0へデータを読み出し、平均化して基準電位を作り、ビット線BL0を接地電位Vssにした後、メモリセルキャパシタC00からビット線BL0へデータを読み出し、センスアンプSA0で増幅し、メモリセルキャパシタへの再書き込みで一連の動作が終了する点は図15に示す第9の実施例の動作タイミングと同じである。

【0120】 上記の説明とは逆に、初期状態でプリチャージ信号DP1を論理電圧“H”にして、リファレンスセルキャパシタC00Dの電位を電源電位Vccに、リファレンスセルキャパシタC10Dの電位を接地電位Vssにしてもよい。

【0121】 以上のように、本実施例においてはリファレンスセルキャパシタへ外部専用回路を通して任意の電位を書き込めるようにしたものであり、リファレンスセルには動作直前につねに一定の電位が書き込まれるため、安定したデータの読み出し、書き込みが可能となる。

【0122】 なお、以上の説明においてリファレンスセルへの書き込み電位を接地電位、電源電位としたが、特にこの電位に限定されるものではなく、任意の電位を書き込むこともできる。

【0123】 〔実施例13〕 本発明の第13の実施例における半導体メモリ装置について説明する。本実施例は、リファレンスセルキャパシタとして容量絶縁膜が強誘電体膜で構成された強誘電体キャパシタを用いた場合に特に有効となるものである。

【0124】 すなわち、強誘電体膜は電源が切断されても自発分極によってそのデータを保持するという利便性はあるものの、自発分極の反転の繰り返しの回数が限界回数を越えると、強誘電体膜が劣化し始め、それにとまって蓄積される電荷量が減少する。リファレンスセルはつねにデータが書き換えられるため、半導体メモリ装置の寿命がリファレンスセルキャパシタの寿命で決まることになって、都合が悪い。そのために、リファレンスセルキャパシタに交互に論理電圧“H”、“L”を書き込むようにすれば、本来論理電圧“H”が書き込まれるべき強誘電体キャパシタの寿命は2倍になる。

【0125】 たとえば、図20に示す第12の実施例のように外部専用回路を設けた例では、プリチャージ信号DP0とプリチャージ信号DP1を交互に切り換える回路を外部に設けておき、順次切り換えて使用すればリファレンスセルキャパシタには論理電圧“H”、“L”が交互に書き込まれることになる。

【0126】 また図14に示すように、リファレンスセルへの書き込みがビット線を通して行われる場合には、図22に示すように、ワード線DWL0を論理電圧

27

“H”にしたままワード線WL0を論理電圧“L”にし、センスアンプSA0からの書き込み信号を反転してリファレンスセルキャパシタに書き込むようにすればよい。

【0127】〔実施例14〕本発明の第14の実施例における半導体メモリ装置について、図面を参照しながら説明する。本実施例も第13の実施例と同様、リファレンスセルキャパシタとして容量絶縁膜が強誘電体膜で構成された強誘電体キャパシタを用いた場合に、その寿命を少なくとも2倍にできる半導体メモリ装置に関するものである。

【0128】図23は本発明の第14の実施例における半導体メモリ装置の回路構成図である。本実施例の基本的な構成および動作タイミングは、図14に示す第9の実施例と同じであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0129】本実施例が図14に示す第9の実施例と異なる点は、図14では1個であったリファレンスセルを本実施例ではリファレンスセル群RC0とリファレンスセル群RC1の2個設けた点である。

【0130】以上のように本実施例では2個のリファレ*

28

*ンスセルを備えた構成とすることにより、作動するリファレンスセルをメモリセルによって分担させたり、各々のリファレンスセル群を交互に使用したりすることができ、読み出し、書き込み回数による強誘電体膜の劣化を防止することができる。このような例について、以下に説明する。

【0131】まず、2個のリファレンスセル群がそれぞれ分担するメモリセルが異なる場合について、リファレンスセル群が2個、本体メモリのワード線が8本の場合を例として説明する。

【0132】表1に示すように、第1のリファレンスセル群RC0がワード線WL0, WL1, WL4, WL5を担当し、第2のリファレンスセル群RC1がワード線WL2, WL3, WL6, WL7を担当することにして、表2に示すように担当のワード線がアクセスされた場合に動作するようにすれば、リファレンスセルキャパシタがつねに同じ状態にあることが少なくなり、強誘電体膜からなる容量絶縁膜にかかるストレスが分散するため、強誘電体キャパシタの寿命が延びる。

29 【0133】

【表1】

リファレンスセル群	担当ワード線
RC0	WL0 WL1 WL4 WL5
RC1	WL2 WL3 WL6 WL7

【0134】

※ ※【表2】

アクセスされたワード線	動作するリファレンスセル群
WL6	RC1
WL1	RC0
WL0	RC0
WL3	RC1
WL3	RC1
WL7	RC1
WL4	RC0
WL2	RC1
WL5	RC0
WL6	RC1
.	.
.	.
.	.

【0135】次に、2個のリファレンスセル群が交互に切り換えられて使用される場合について、リファレンスセル群が2個、メモリセルのワード線が8本の場合を例

として説明する。

【0136】

【表3】

アクセスされたワード線	動作するリファレンスセル群
WL5	RC0
WL0	RC1
WL2	RC0
WL1	RC1
WL7	RC0
WL4	RC1
WL5	RC0
WL3	RC1
.	.
.	.
.	.

【0137】表3に示すように、ワード線がどのようにアクセスされても、リファレンスセルが交互に動作することによって、強誘電体膜からなる容量絶縁膜にかかるストレスが分散されるため強誘電体キャパシタの寿命を延ばすことができる。

【0138】〔実施例15〕本発明の第15の実施例における半導体メモリ装置について、図面を参照しながら説明する。本実施例は、ビット線につながったMOSトランジスタのオンオフによって基準電位が変動するのを補正する補正回路を設けたものである。

【0139】図24は本発明の第15の実施例における半導体メモリ装置の回路構成図、図25は同半導体メモリ装置の動作タイミングを示す図である。本実施例の基本的な構成は、図14に示す第9の実施例と同じであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0140】本実施例が図14に示す第9の実施例と異なる点は、ビット線BL0とビット線BL1とを、イコライズ信号BEQ0で制御されるMOSトランジスタQn00BEQを介して接続し、ビット線／BL0とビット線／BL1とを、イコライズ信号BEQ1で制御されるMOSトランジスタQn10BEQを介して接続した点である。

【0141】以上のように構成された本実施例の半導体メモリ装置の動作について、図25を参照しながら説明する。なお、イコライズ信号BEQ、BEQ0、BEQ1を除いては図15に示す第9の実施例の動作タイミングと基本的には同じであり、説明を省略し、イコライズ信号BEQ、BEQ0、BEQ1に関する動作を中心に説明する。

【0142】MOSトランジスタQn00とメモリセルキャパシタC00で構成されるメモリセルのデータを読み出す前の初期状態として、イコライズ信号BEQは論理電圧“H”の状態にある。まず最初に、図15に示す第9の実施例における動作タイミングと同じ動作を行って、ビット線BL0、／BL0に基準電位を作り出す。次に、

イコライズ信号BEQを論理電圧“L”にして、トランジスタQn0BEQをオフにする。このとき、ビット線BL0とビット線／BL0の負荷容量が変動して、両ビット線の電位に変化が生じる。この電位の変動分は後に説明するようにして補正される。

【0143】次に、プリチャージ信号BP0を論理電圧“H”にしてMOSトランジスタQn00BPをオンし、ビット線BL0を接地電位Vssにするとともに、イコライズ信号BEQ0を論理電圧“H”にしてトランジスタQn00BEQをオンにして、ビット線BL0とビット線BL1を接続する。このとき、ビット線BL1、／BL1においてもビット線BL0、／BL0とまったく同様の動作が行われており、ビット線BL1も接地電位Vssにされている。次に、ビット線BL0とBL1とを接地電位Vssかつフローティング状態にしてから、イコライズ信号BEQ0を論理電圧“L”にしてトランジスタQn00BEQをオフにして、ビット線BL0、BL1を切り離す。このとき、ビット線BL0、／BL0を切り離したときと同様の電位の変化がビット線BL0、BL1にも発生する。次に、ワード線WL0、およびセルプレート電極CP0を論理電圧“H”にして、メモリセルキャパシタC00からビット線BL0へデータを読み出す。このときにはビット線BL0の電位が下がっているため、読み出したデータもその分電位が低下することになり、上述した基準電位の低下分が補正されることになる。以降のセンスアンプSA0による増幅、およびデータの再書き込みについては、図14に示す第9の実施例の動作と同じであり、省略する。

【0144】また同様の補正回路は図26に示す回路構成でも実現できる。図26は本発明の第15の実施例における半導体メモリ装置の他の回路構成図である。本実施例の基本的な構成は、図14に示す第9の実施例と同じであり、同一箇所には同一符号を付して説明を省略し、異なる点について説明する。

【0145】本実施例が図14に示す第9の実施例と異なる点は、ビット線対の間を、イコライズ信号BEQ0

または同BEQ1で制御されるMOSトランジスタQn01EQまたは同Qn12EQで接続した点である。この場合は、イコライズ信号BEQ0を論理電圧“H”にしてMOSトランジスタQn12EQをオンさせて、ビット線BL1とビット線BL2とを接続した状態で、プリチャージ信号BP0を論理電圧“H”にし、MOSトランジスタQn11BP、Qn02BPをオンし、ビット線BL1、BL2を接地電位Vssにした後、イコライズ信号BEQ0を論理電圧“L”にしてMOSトランジスタQn12EQをオフし、ビット線BL1、BL2を切り離す。このようにすることにより、ビット線BL0の電位は負荷容量が変動した分変動する。この変動分が基準電位を作ったときのビット線の電位の変動分を補正することになる。

【0146】以上のように本実施例では、所定のビット線に他のビット線を接続することによって負荷容量を調整し、そのときビット線に生じる電位の変動を利用して基準電位の変動を補正しており、誤ったデータの読み出し、書き込みがなくなる。

【0147】

【発明の効果】本発明は、2本の信号線に供給する電荷を発生させる電荷供給手段と、第1の制御信号によって電荷供給手段と2本の信号線との間を接続し2本の信号線にそれぞれ電荷を供給する第1の接続手段と、第2の制御信号によって2本の信号線間を接続し、共有された電荷と信号線の容量とで決まる2本の信号線間の電位差を平均化した後、2本の信号線間を切り離す第2の接続手段とを備え、正確な基準電位を発生する基準電位発生装置を実現できるものである。

【0148】また本発明は、メモリセルと、2本のビット線と、2本のビット線に供給する電荷を発生させる電荷供給手段、第1の制御信号によって電荷供給手段と2本のビット線との間を接続し、2本のビット線にそれぞれ電荷を供給する第1の接続手段からなる基準電位発生手段と、第2の制御手段によって2本のビット線間を接続し、ビット線に供給された電荷とビット線の容量とで決まる2本のビット線間の電位差を平均化した後、2本のビット線間を切り離す第2の接続手段とを備え、消費電力の低減をはかり、基準電位の変動を抑制し、誤動作を防止する優れた半導体メモリ装置を実現できるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施例における基準電位発生装置の回路ブロック図

【図2】本発明の第2の実施例における半導体メモリ装置の回路ブロック図

【図3】本発明の第3の実施例における半導体メモリ装置の回路構成図

【図4】本発明の第4の実施例における半導体メモリ装置の回路構成図

【図5】同半導体メモリ装置の動作タイミングを示す図

【図6】本発明の第5の実施例における半導体メモリ装置の回路構成図

【図7】同半導体メモリ装置の動作タイミングを示す図

【図8】本発明の第6の実施例における半導体メモリ装置の回路構成図

【図9】同半導体メモリ装置の動作タイミングを示す図

【図10】本発明の第7の実施例における半導体メモリ装置の回路構成図

【図11】同半導体メモリ装置の動作タイミングを示す図

【図12】本発明の第8の実施例における半導体メモリ装置の回路構成図

【図13】同半導体メモリ装置の動作タイミングを示す図

【図14】本発明の第9の実施例における半導体メモリ装置の回路構成図

【図15】同半導体メモリ装置の動作タイミングを示す図

【図16】本発明の第10の実施例における半導体メモリ装置の回路構成図

【図17】同半導体メモリ装置の動作タイミングを示す図

【図18】本発明の第11の実施例における半導体メモリ装置の回路構成図

【図19】同半導体メモリ装置の動作タイミングを示す図

【図20】本発明の第12の実施例における半導体メモリ装置の回路構成図

【図21】同半導体メモリ装置の動作タイミングを示す図

【図22】本発明の第13の実施例における半導体メモリ装置の動作タイミングを示す図

【図23】本発明の第14の実施例における半導体メモリ装置の回路構成図

【図24】本発明の第15の実施例における半導体メモリ装置の回路構成図

【図25】同半導体メモリ装置の動作タイミングを示す図

【図26】本発明の第15の実施例における半導体メモリ装置の他の回路構成図

【図27】従来の半導体メモリ装置の回路構成図

【図28】同半導体メモリ装置の動作タイミングを示す図

【図29】同半導体メモリ装置のメモリセルキャパシタの強誘電体のヒステリシス特性を示す図

【図30】同半導体メモリ装置のリファレンスセルキャパシタの強誘電体のヒステリシス特性を示す図

【符号の説明】

21、22 信号線

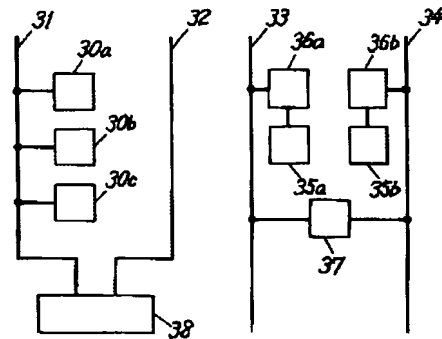
23 電荷供給回路

34

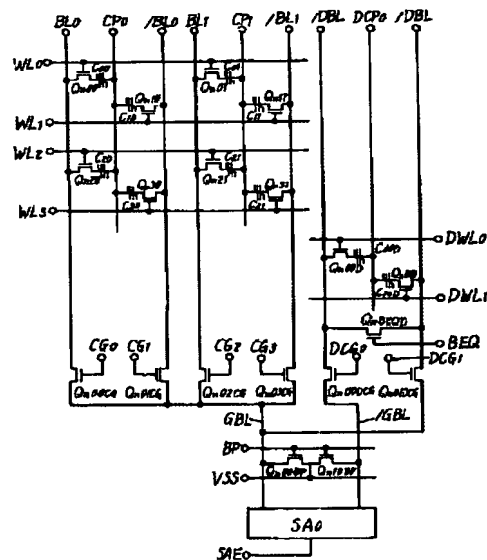
25 第2のスイッチ回路（第2の接続手段）

【図 2】

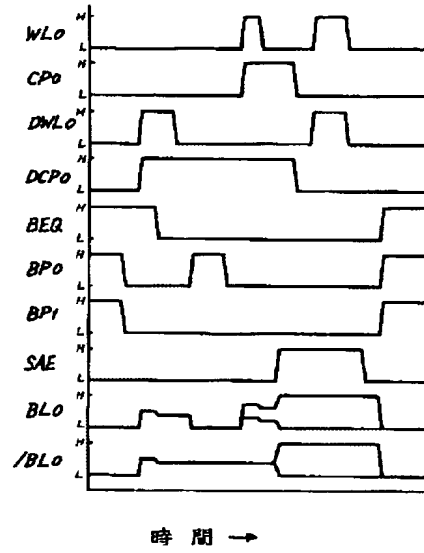
21, 22	信号線	24a, 24b	第10のスイッチ回路 (第1の接続手段)
23	電荷供給回路	25	第20のスイッチ回路 (第2の接続手段)



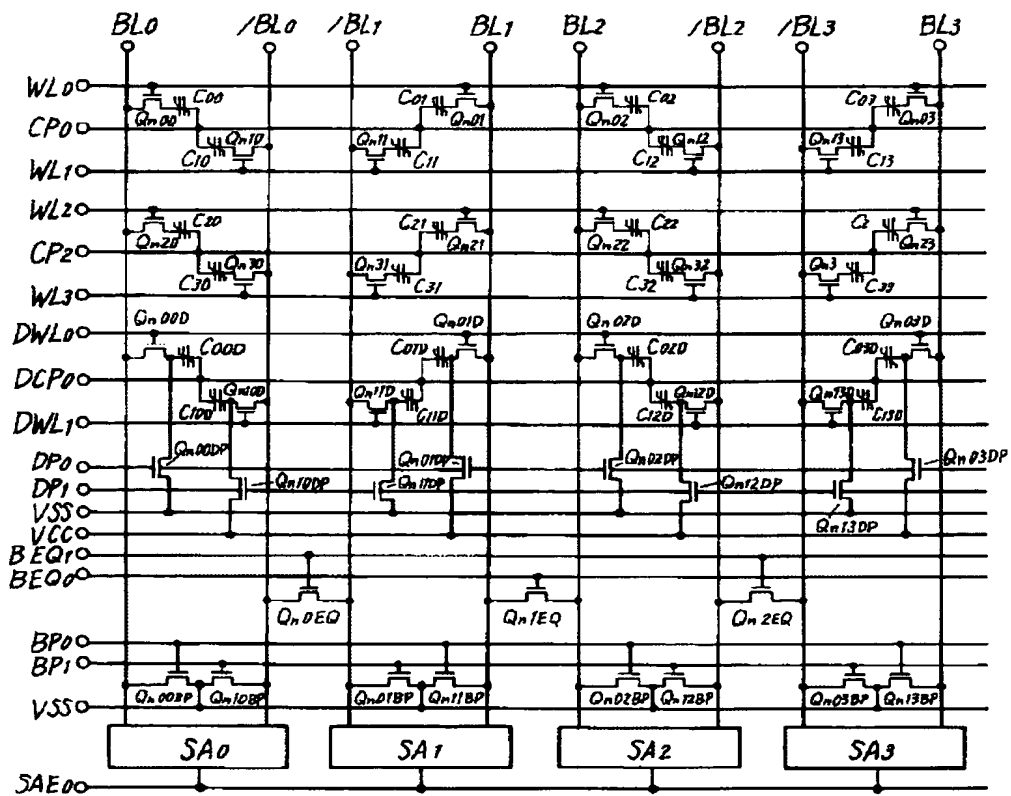
【图4】



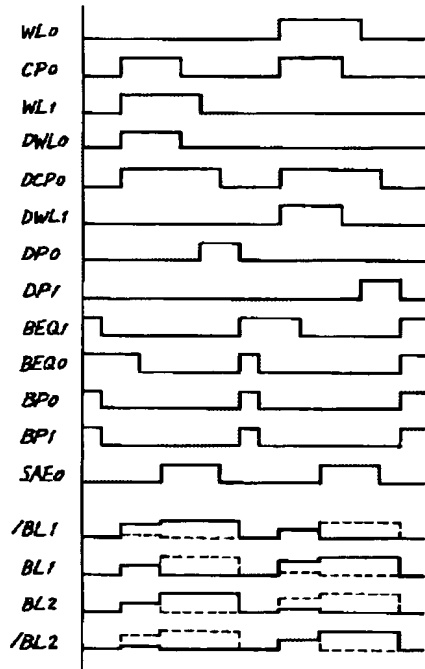
【图 17】



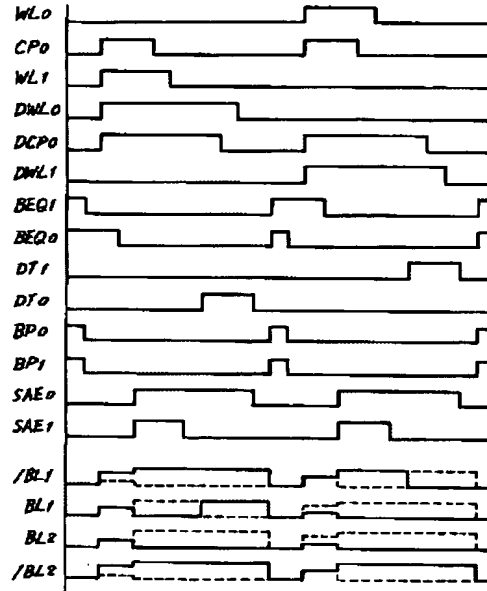
【図 6】



【図7】

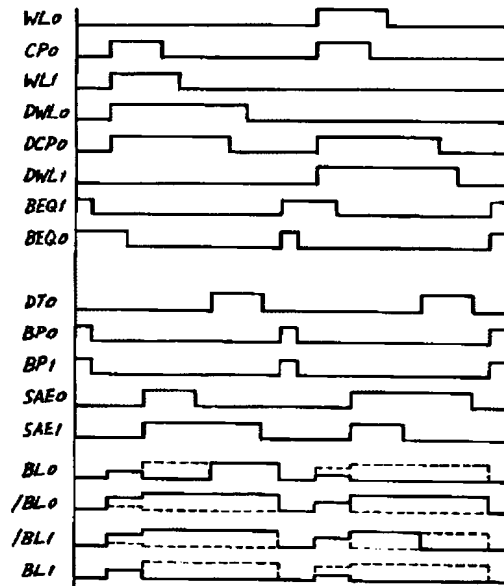
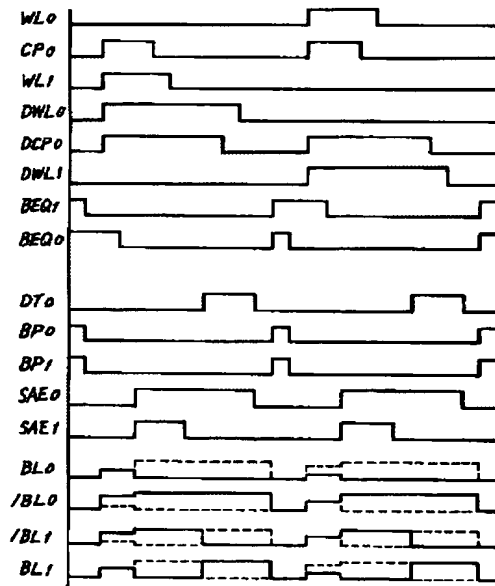


【図9】

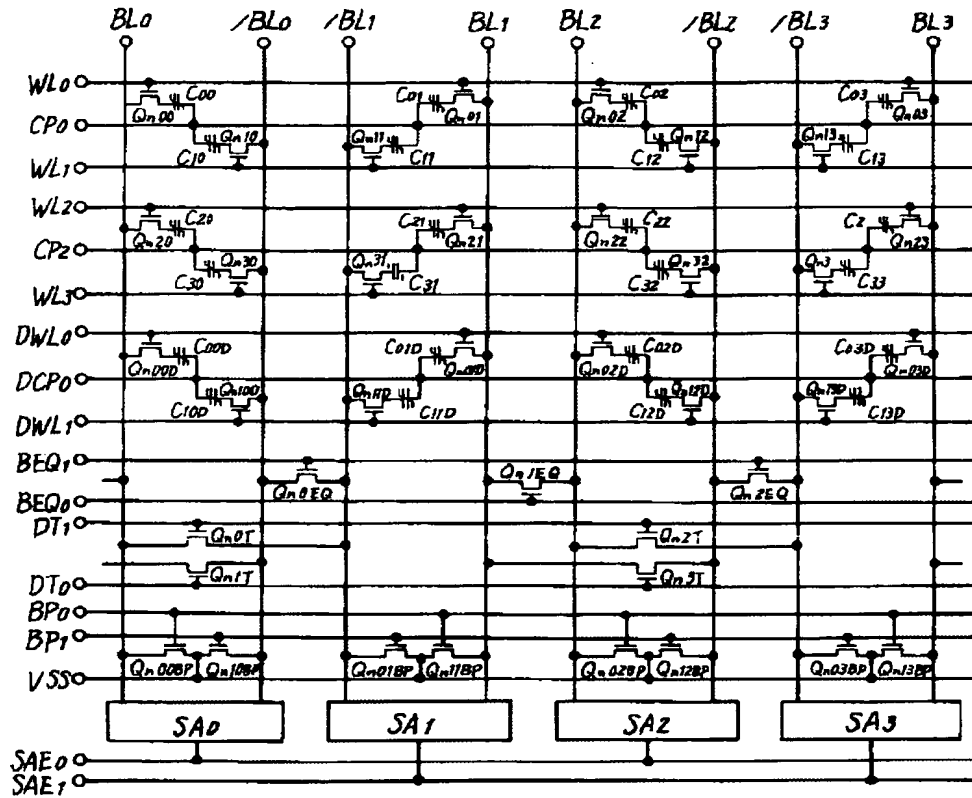


【図13】

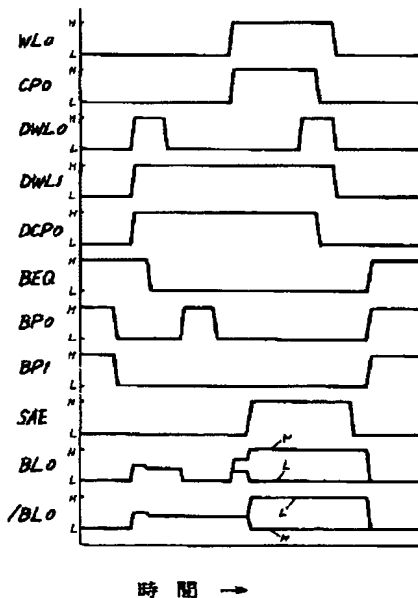
【図11】



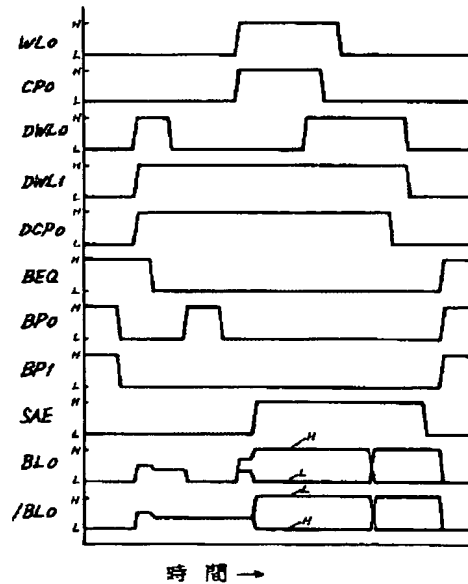
【图 8】



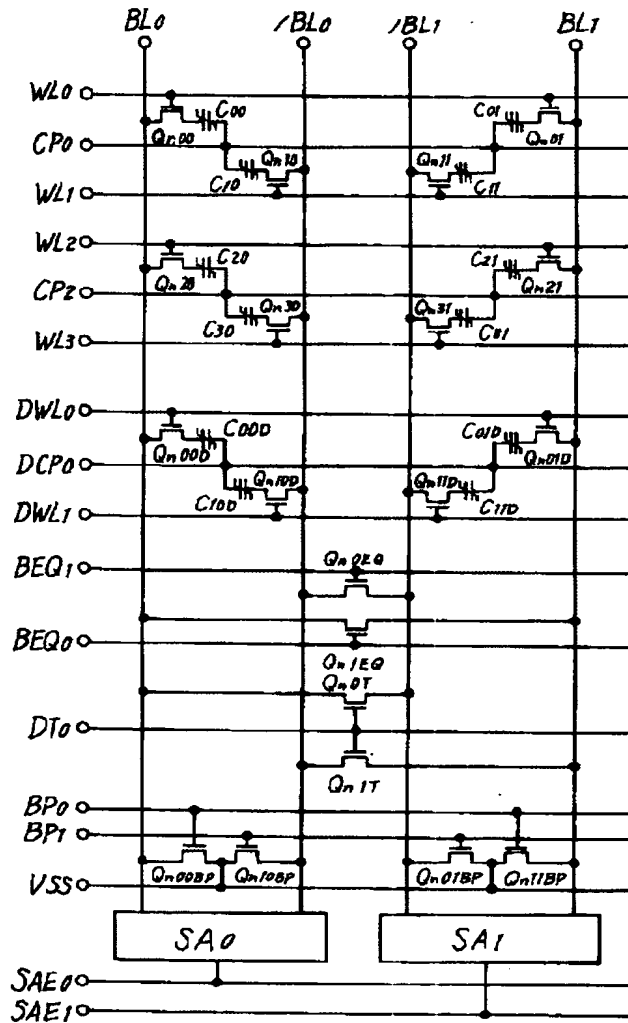
【図 15】



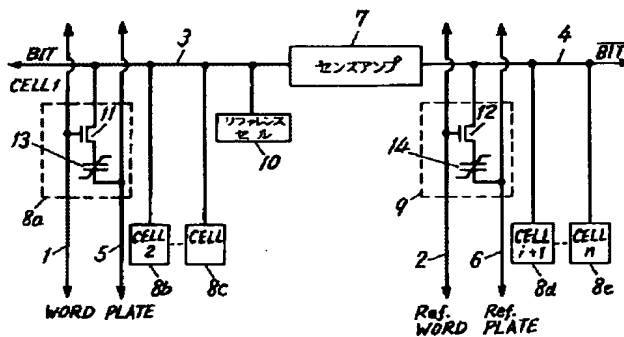
【图 2 2】



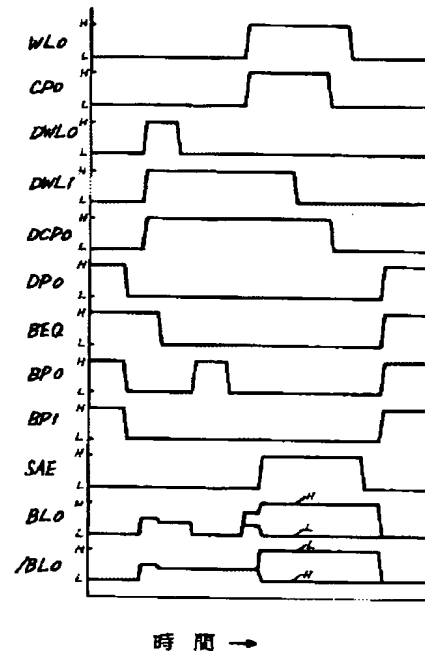
【図10】



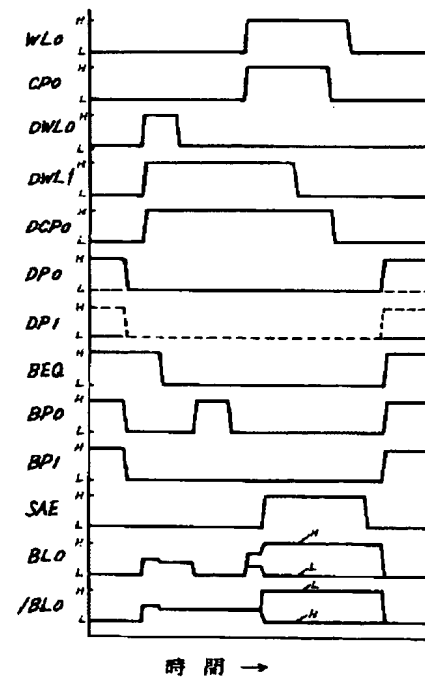
【図27】



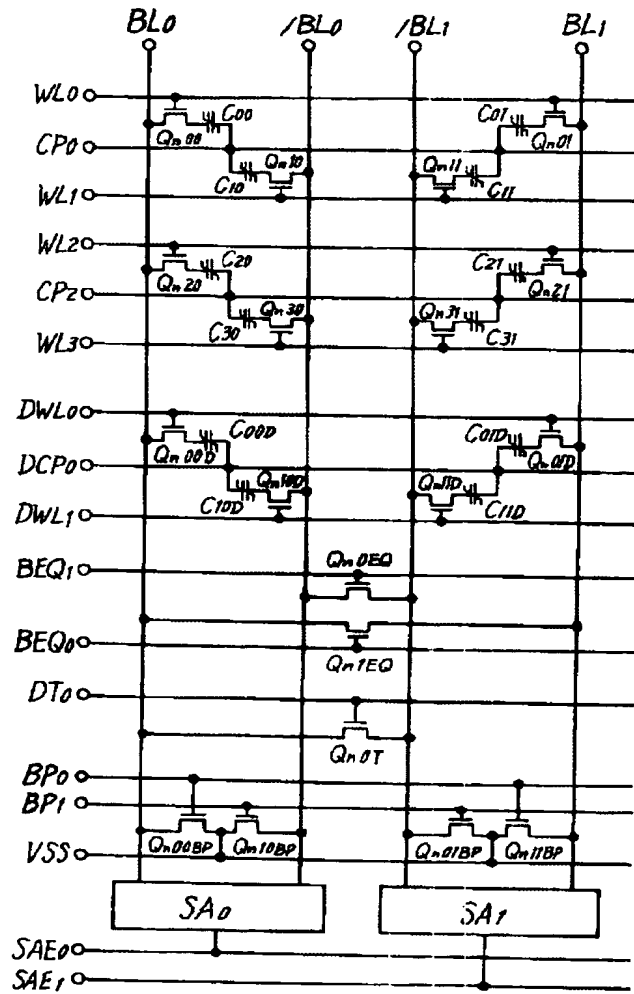
【図19】



【図21】

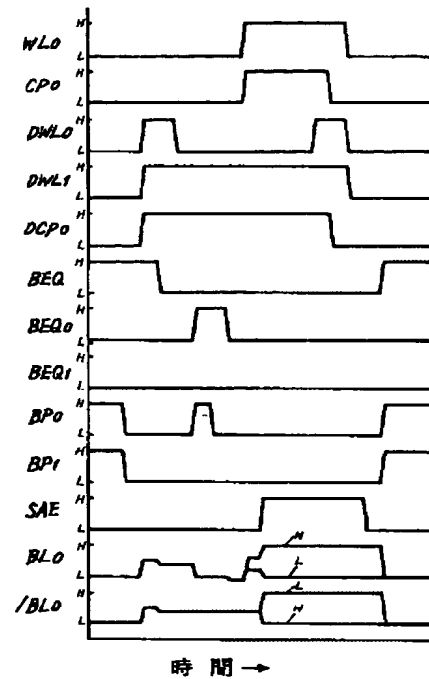


【图 1 2】

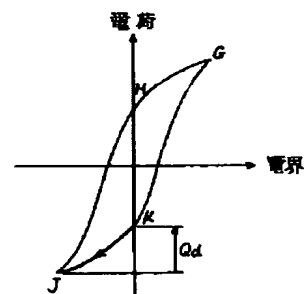


【圖 28】

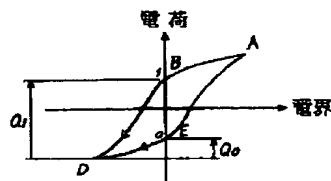
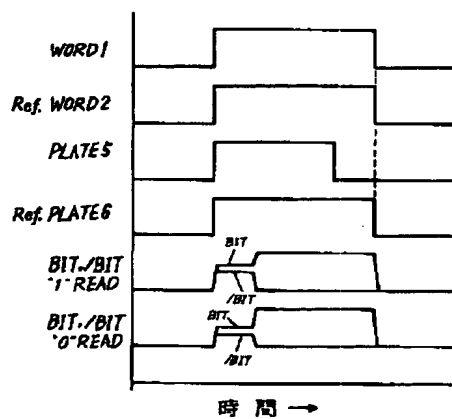
【图 2 5】



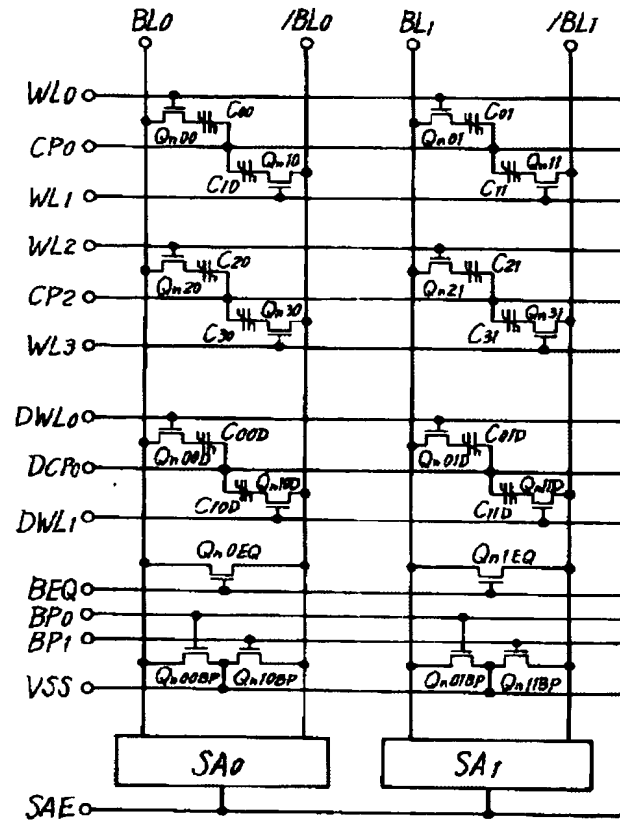
【图 30】



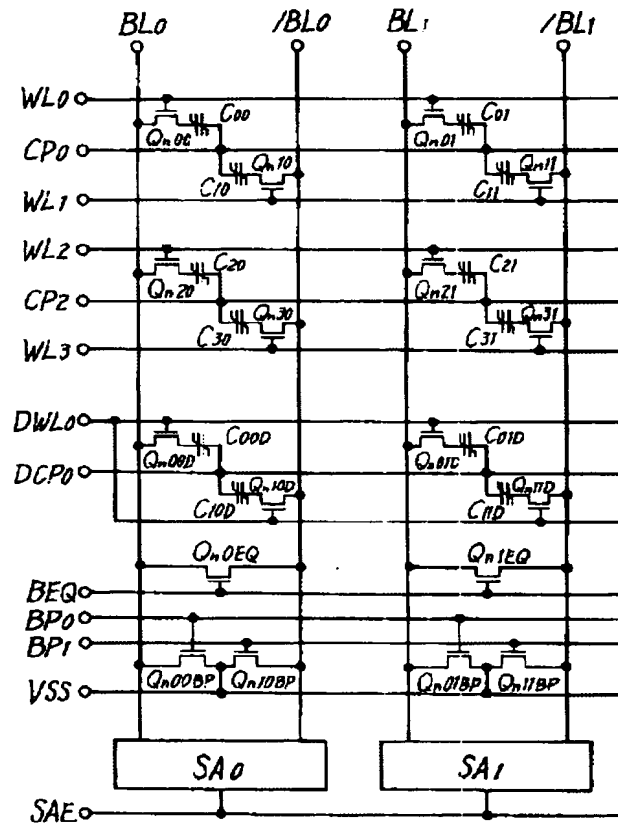
【图 29】



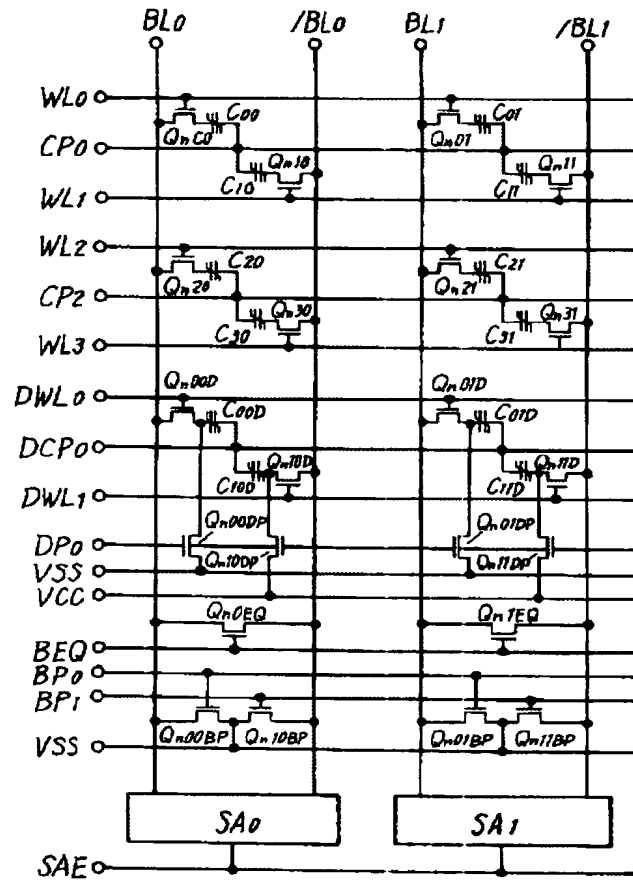
【図14】



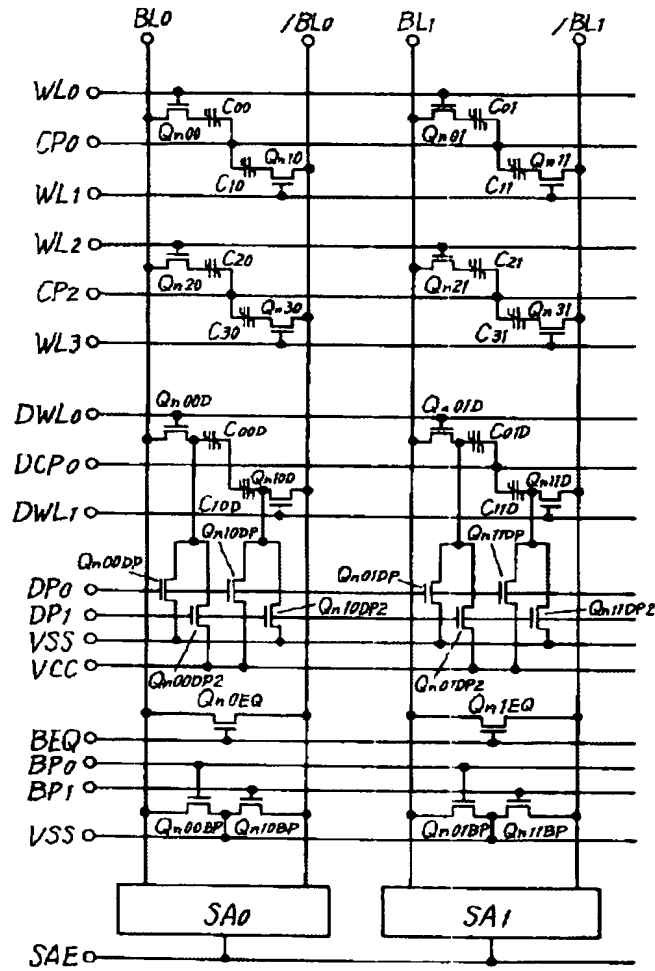
【図16】



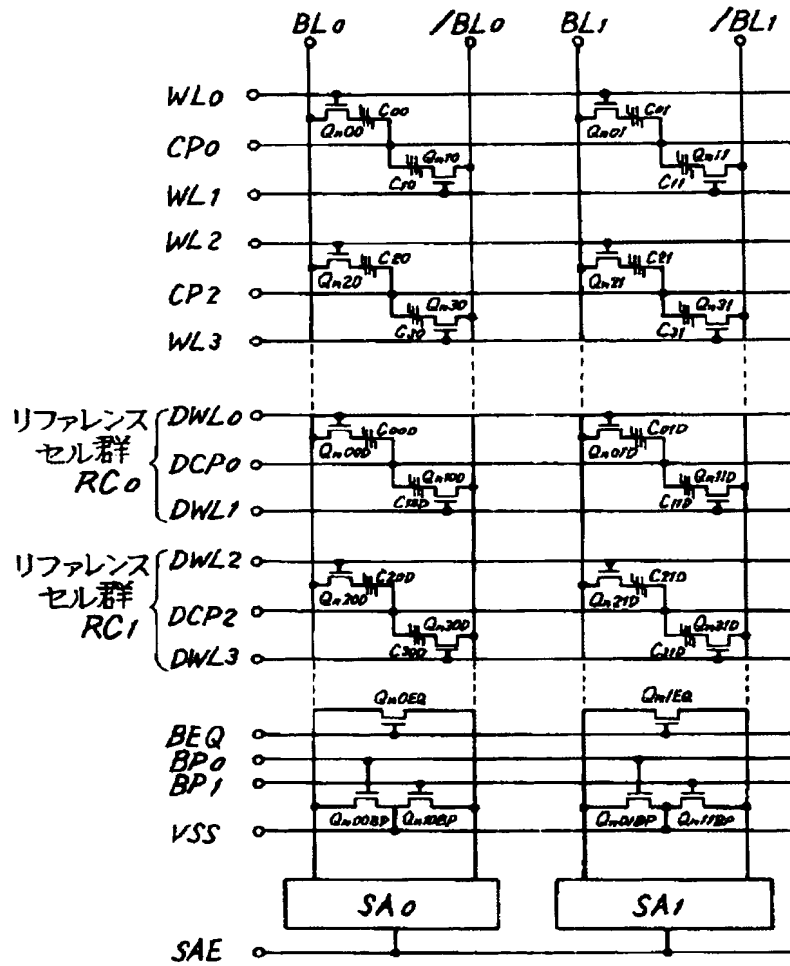
【図18】



【図20】



【図23】



【図24】

